

(19) 世界知的所有権機関
国際事務局



553998

(43) 国際公開日
2004 年 11 月 4 日 (04.11.2004)

PCT

(10) 国際公開番号
WO 2004/095464 A1

- (51) 国際特許分類⁷: G11C 11/15, H01L 27/10, 43/08
(21) 国際出願番号: PCT/JP2004/005242
(22) 国際出願日: 2004 年 4 月 13 日 (13.04.2004)
(25) 国際出願の言語: 日本語
(26) 国際公開の言語: 日本語
(30) 優先権データ:
特願2003-115283 2003 年 4 月 21 日 (21.04.2003) JP
(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
(72) 発明者; および
(73) 発明者/出願人 (米国についてのみ): 崎村 昇

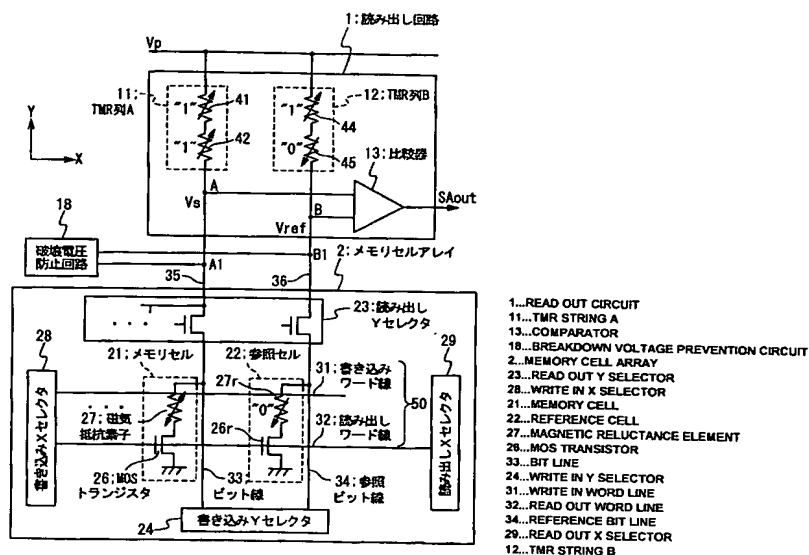
(SAKIMURA, Noboru) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 本田 雄士 (HONDA, Takeshi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 杉林 直彦 (SUGIBAYASHI, Tadahiko) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).

- (74) 代理人: 工藤 実 (KUDOH, Minoru); 〒1400013 東京都品川区南大井六丁目 2 4 番 1 0 号 カドヤビル 6 階 Tokyo (JP).
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA,

[続葉有]

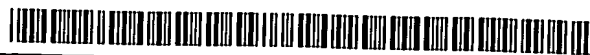
(54) Title: MAGNETIC RANDOM ACCESS MEMORY USING IMPROVED DATA READ OUT METHOD

(54) 発明の名称: データの読み出し方法が改善された磁気ランダムアクセスメモリ



(57) Abstract: An MRAM includes a plurality of bit lines (33), a reference bit line (34), a plurality of memory cells (21), a plurality of reference cells (22), and a read out section (1). The bit lines (33) and the reference bit line (34) extend in the Y direction. The memory cell (21) is arranged along the bit lines (33) while the reference cells (22) are arranged along the reference bit line (34). The memory cells (21) and the reference cells (22) respectively include a magnetic reluctance element (27) and a reference magnetic reluctance element (27r) having spontaneous magnetization for reversing the magnetization direction by stored data. The read out section (1) includes: a first resistance section (11) having a 9th terminal connected to the bit line (33s) and a 10th terminal connected to a first power source; a second resistance section (12) having an 11th terminal connected to the reference bit line (34) and a 12th terminal connected to the first power source; and a comparison section (13) for comparing the sense potential Vs of the 9th terminal to the reference potential Vref of the 11th terminal.

[続葉有]



NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: MRAMは、複数のビット線33と参照ビット線34と複数のメモリセル21と複数の参照セル22と読み出し部1とを具備する。ビット線33と参照ビット線34は、Y方向に延伸する。メモリセル21はビット線33に、参照セル22は参照ビット線34に沿って設ける。メモリセル21及び参照セル22は、それぞれ記憶データで磁化方向が反転する自発磁化を有する磁気抵抗素子27及び参照用磁気抵抗素子27rを備える。読み出し部1は、ビット線33sに接続する第9端子と第1電源に接続した第10端子とを含む第1抵抗部11と、参照ビット線34に接続する第11端子と第1電源に接続した第12端子とを含む第2抵抗部12と、第9端子のセンス電位Vsと第11端子の参照電位Vrefとを比較する比較部13とを備える。

明細書

データの読み出し方法が改善された磁気ランダムアクセスメモリ

技術分野

- 5 本発明は、磁気ランダムアクセスメモリに関し、特に、データの読み出し方法を改善した磁気ランダムアクセスメモリに関する。

背景技術

10 磁気ランダムアクセスメモリ (M a g n e t i c R a n d o m A c c e s s M e m o r y : M R A M) は、高速な書き込み動作と読み出し動作が可能であり、大きな書き換え回数を有する不揮発メモリとして注目されている。

15 M R A M のメモリセルは、磁性層 (ピン層) と磁性層 (フリー層) と絶縁層とを含む磁気抵抗素子 (以下、T u n n e l i n g M a g n e t i c R e s i s t a n c e : T M R と称す) を記憶素子として備えている。ただし、ピン層は、固定された自発磁化を有している。フリー層は、反転可能な自発磁化を有している。そして、その自発磁化の向きが、ピン層の自発磁化の向きと平行、又は、反平行に向くように形成されている。絶縁層は、上記 2 つの磁性層に挟まれている。

20 メモリセルは、ピン層の自発磁化の方向に対するフリー層の自発磁化の方向により、1 ビットの情報を記憶する。例えば、フリー層の自発磁化とピン層の自発磁化の向きが同じである平行状態 (第 1 状態) と、フリー層の自発磁化とピン層の自発磁化の向きが反対である反平行状態 (第 2 状態) の 2 つの状態を取り得る。ここで、平行状態及び反平行状態のいずれか一方を “0” に、他方を “1” に対応付けることにより、
25 1 ビットの情報を記憶する。

フリー層及びピン層の自発磁化の方向は、メモリセルの抵抗に影響を

及ぼす。ここで、フリー層とピン層の自発磁化が平行状態である場合の TMR の抵抗を R_0 とする。その場合、反平行状態である場合、TMR の抵抗は、 $R_0 + \Delta R$ となる。ただし、 $\Delta R / R_0$ (%) の値は、一般に MR 比と呼ばれている。MR 比の値は、通常 10 ~ 50 % である。即ち、メモリセルに記憶されている情報は、フリー層及びピン層の自発磁化の方向に対応した TMR の抵抗値を検知することにより判別できる。TMR の抵抗値を検知するには、以下のような方法で行う。例えば、所定の電圧を TMR の両端に印加し、その TMR に流れる電流（センス電流）を検出する。又は、所定の電流を TMR に流し、その TMR の両端に現れる電圧（センス電圧）を検出する。

図 1 は、典型的な MRAM の構成を示す図である。

図 1 に示すように、メモリセル 103 は、TMR 109 とアクセス用のトランジスタ 110 が直列に接続されている。TMR 109 の一方の端子はビット線 105a に、トランジスタ 110 のソース端子はグランド 111 に接続されている。このメモリセル 103 がマトリックス状に多数配置されている。同様に、参照用メモリセル 104 は、参照用 TMR 108 とアクセス用のトランジスタ 112 が直列に接続されている。参照用 TMR 108 の一方の端子は参照用ビット線 105b に、トランジスタ 112 のソース端子はグランド 113 に接続されている。この参照用メモリセル 104 が参照用ビット線 105b に沿って複数配置されている。そして、マトリックス状に配置されたメモリセル 103 と、参照用ビット線 105b に沿って配置された参照用メモリセル 104 とで、メモリセルアレイ 120 を形成している。

ここで、選択されたメモリセル 103 のトランジスタ 110 は、ON 状態となる。そして、Y セレクタ 102 により選択されたビット線 105a は、読み出し回路 101 と接続される。一方、選択された参照用メモリセル 104 のトランジスタ 112 は、ON 状態となる。そして、Y

セレクタ 102 により選択された参照用ビット線 105 b は、読み出し回路 101 と接続される。読み出し回路 101 は、選択されたビット線 105 a からの信号と、選択された参照用ビット線 105 b からの信号とを比較して、読み出しを行う。

5 以下、メモリセルに記憶された情報を読み出す方法を、従来技術（米国特許第 6, 392, 923 号明細書）を用いて詳細に説明する。ここで、TMR が平行状態である場合を“0”（TMR 抵抗値は R_0 ）、反平行状態である場合を“1”（TMR 抵抗値は $R_1 = R_0 + \Delta R$ ）と定義する。

10 図 2 は、従来技術における参照用メモリセル及びその周辺の構成を示す図である。メモリセル 103 に記憶された情報を読み出すには、先に述べたセンス電流或いはセンス電圧を読み出し回路により検出することで行われる。それに加えて、上記センス電流或いはセンス電圧が“0”状態の場合か、“1”状態の場合かを判別する参照電流或いは参照電圧
15 が必要となる。図 2 に示す参照用メモリセル 104 a では、上記参照信号を生成するために、“0”を記憶した状態の TMR と“1”を記憶した状態の TMR をそれぞれ 2 つずつ直並列に接続している。この時、参照セルの抵抗値 R_{ref} は、

$$R_{ref} = (R_0 + R_1) / 2 \quad (2)$$

20 となる。この参照用メモリセル 104 a は、その抵抗値が、理論的には R_0 と R_1 との間になる。すなわち、メモリセル 103 に記憶されている情報を判別するのに適した参照信号を生成することが可能である。

図 3 は、TMR の両端にかかる電圧（両端電圧）と MR 比との関係を示すグラフである。縦軸は MR 比（%）、横軸は TMR 両端電圧（V）
25 である。この図のような TMR 素子特有のバイアス依存性の影響により、TMR における MR 比は、TMR 両端電圧の大きさに伴って変化する。

図 3 を考慮すると、特許文献 1 の方法では、実際の参照信号は“1”

のセンス信号に近い値になってしまう。図.3 に示すように、TMR 素子のMR 比は、その両端電圧が大きくなるほど低下する性質を有している。米国特許第 6, 3 9 2, 9 2 3 号（図 2）の参照用メモリセル 1 0 4 a における各 TMR の両端に印加される電圧は、メモリセル 1 0 3 の TMR の両端に印加される電圧の約 $1/2$ である。従って、メモリセル 1 0 3 の TMR のMR 比と比較して、参照用メモリセル 1 0 4 a の TMR のMR 比が大きくなる。それいにより、参照信号は“0”と“1”のセンス信号の中間値よりも、“1”のセンス信号方向にずれてしまう。このずれは、TMR 抵抗値にばらつきが存在する場合、読み出しの信頼性を大きく損ねる可能性がある。その場合、特許文献 1 による方法において、読み出しの信頼性を向上するには、メモリセル 1 0 3 と参照用メモリセル 1 0 4 a に用いられる TMR の両端に均等に電圧を分配するように制御する必要がある。

米国特許第 6, 3 9 2, 9 2 3 号による方法では、参照用メモリセル 1 0 4 a に 4 つの TMR 素子が必要である。メモリセルアレイ 1 2 0 内に参照用メモリセルカラムを配置して TMR の抵抗ばらつきを補償する場合には、参照用メモリセル 1 0 4 a の面積の占める割合が大きくなる。また、製造時の欠陥等で生じるショートした TMR が参照用メモリセル 1 0 4 a に含まれると、リードワード線 1 0 7 上のメモリセル 1 0 3 を読み出すことが不可能になるワード線不良を引き起こす。参照用メモリセル 1 0 4 a に 4 つの TMR を有することは、このワード線不良の確立を増加させる原因となる。さらに、TMR 素子の抵抗値及びMR 比は、温度上昇に伴って低下してしまう。

MRAM のメモリセルに記憶されている情報を高い信頼性で判別可能な技術が望まれている。チップ面積の増加を抑制しつつ、MRAM のメモリセルに記憶されている情報を高い信頼性で判別可能な読み出し回路の技術が望まれている。TMR 素子の抵抗値及びMR 比に依存すること

なく、MRAMのメモリセルに記憶されている情報を高い信頼性で判別可能な読み出し回路の技術が望まれている。MRAMのメモリセルにおける参照信号が、TMR素子の抵抗値及びMR比に依存することなく“0”と“1”のセンス信号の中間値となる技術が望まれている。

- 5 関連する技術として、特開2002-222589号公報に、半導体装置の技術が開示されている。この半導体装置は、複数の第1メモリセルと、複数の第1ダミーセルと、複数の第2ダミーセルとを具備する。複数の第1メモリセルは、複数のワード線と複数の第1データ線の交点に設けられ、第1情報又は第2情報の何れかを記憶する。複数の第1ダ
- 10 ミーセルは、前記複数のワード線と第1ダミーデータ線の交点に設けられ、前記第1情報を記憶する。複数の第2ダミーセル前記複数のワード線と第2ダミーデータ線の交点に設けられ、前記第2情報を記憶する。更に、第1マルチプレクサと、第2マルチプレクサと、読み出し回路と、第1共通データ線と、第2共通データ線とを更に具備してもよい。ここ
- 15 で、第1マルチプレクサは、前記複数の第1データ線に接続される。第2マルチプレクサは、前記第1及び第2ダミーデータ線に接続される。読み出し回路は、前記第1及び第2マルチプレクサに接続される。第1共通データ線は、前記読み出し回路と前記第1マルチプレクサとを結合する。第2共通データ線は、前記読み出し回路と前記第2マルチプレク
- 20 サとを結合する。前記読み出し回路は、第1カレントミラー回路と、第2カレントミラー回路と、第1センスデータ線と、第2センスデータ線と、センスアンプとを含む。ただし、第1カレントミラー回路は、前記第1共通データ線に接続される。第2カレントミラー回路は、前記第2共通データ線に接続される。第1センスデータ線は、前記第1カレントミラー回路に接続される。第2センスデータ線は、前記第2カレントミ
- 25 ラー回路に接続される。センスアンプは、前記第1及び前記第2センスデータ線に接続される。

また、特表 2 0 0 2 - 5 4 1 6 0 8 号公報（国際出願番号 P C T / D E 0 0 / 0 0 7 7 8）に、磁気抵抗メモリにおけるセル抵抗の評価装置の技術が開示されている。この磁気抵抗メモリにおけるセル抵抗の評価装置は、それぞれのセル抵抗（R）の第 1 の端子がスイッチ（U S）を介してワード線電圧（V W L）に接続されている。また、それぞれのセル抵抗の第 2 の端子が別のスイッチ（S）を介して線路ノード（L）に接続されている。前記線路ノード（L）は参照抵抗（R R E F）を介して参照電圧源（V R E F）に接続されている。該参照電圧源は線路ノードから流れるそれぞれのセル電流（I）を平均電流（I -）だけ減少させる。増幅器（O P 1、R G）が、それぞれのセル電流と平均電流の差異を、評価信号としての電圧（V O U T）に変換する。前記参照抵抗（R R E F）は、異なる情報内容を有するセルのセル抵抗の相互接続から形成されていてもよい。前記参照抵抗は、異なる情報内容を有するセルの 2 つのセル抵抗の個々の直列接続か、またはそのような直列接続の並列接続を有していてもよい。

また、特表 2 0 0 2 - 5 3 3 8 6 3 号公報（国際出願番号 P C T / U S 9 9 / 2 9 3 1 0）に、参照メモリ・アレイを有する磁気ランダム・アクセス・メモリの技術が開示されている。この磁気ランダム・アクセス・メモリは、第 1 導電線と、磁気メモリ・セル、第 2 導電線と、参照磁気メモリ・セル、抵抗性要素から構成される。磁気メモリ・セルは、前記第 1 導電線と直列に結合されている。格納された磁気ベクトルの方向により最小磁気抵抗と最大磁気抵抗の間で切り替わる磁気抵抗を有する。前記参照磁気メモリ・セルは、前記第 2 導電線と直列に結合されている。予め決められた磁気抵抗を有する。前記抵抗性要素は、前記参照磁気メモリ・セルと直列に結合されている。前記参照磁気メモリ・セルと前記抵抗性要素との両端の全抵抗が、前記最小磁気抵抗と前記最大磁気抵抗との間で設定されている。前記全抵抗は、前記最小磁気抵抗と前

記最大磁気抵抗との間の中間点抵抗であるように、前記抵抗性要素が設定されていても良い。

更に、特開 2002-367364 号公報に、磁気メモリ装置の技術が開示されている。この磁気メモリ装置は、メモリセルと、ワード線と、
5 ビット線と、参照ビット線と、増幅器とを備える。メモリセルは、強磁性トンネル効果を示す 1 つの記憶素子と、前記記憶素子に接続される 1 つのトランジスタとからなる。ワード線は、前記トランジスタの制御端子に接続されている。ビット線は、前記トランジスタを介して前記記憶素子の一方端に接続されている。参照ビット線は、複数の前記ビット線
10 に対して共通に設けられている。増幅器は、前記ビット線と前記参照ビット線とに接続されている。そして、データの読み出し時に、前記ビット線と前記参照ビット線との間に生じた電位差を前記増幅器を用いて読み出す。前記参照ビット線は、前記ワード線毎に設けられた参照メモリセルを含み、前記参照メモリセルは、1 つの第 1 抵抗素子と前記第 1 抵抗素子に接続される 1 つのトランジスタとを含んでいても良い。前記参照メモリセルの第 1 抵抗素子は、前記記憶素子の磁化の向きが平行の時の抵抗値と反平行の時の抵抗値との中間の抵抗値を有していてもよい。

更に、特開 2002-196575 号公報に、磁気ランダムアクセスメモリの技術が開示されている。この磁気ランダムアクセスメモリは、
20 クロスポイントセルアレイと、第 1 方向に延設されている複数のワード線と、その第 1 方向と異なる第 2 方向に延設されている複数のビット線と、その第 2 方向に延設されているダミービット線と、その複数のワード線のうちから選択ワード線を選択する第 1 セレクタと、その複数のビット線のうちから選択ビット線を選択する第 2 セレクタと、読み出し回路とを備える。複数のワード線は、第 1 方向に延設されている。複数のビット線は、その第 1 方向と異なる第 2 方向に延設されている。ダミービット線は、その第 2 方向に延設されている。第 1 セレクタは、その複
25

数のワード線のうちから選択ワード線を選択する。第2セレクタは、その複数のビット線のうちから選択ビット線を選択する。そのクロスポイントセルアレイは、複数のセルを含んで構成されている。複数のセルは、反転可能な自発磁化を有し、且つその自発磁化の方向に応じて抵抗が異なる磁気抵抗素子を含む。その複数のセルは、その自発磁化の方向に応じてデータを記憶する複数のメモリセルと、複数のダミーセルとを備える。その複数のメモリセルのそれぞれは、その複数のワード線のうちの1つのワード線と、その複数のビット線のうちの1つのビット線との間に介設されている。そのダミーセルのそれぞれは、その複数のワード線のうちの1つのワード線と、そのダミービット線との間に介設されている。その読み出し回路は、オフセット除去回路と、データ判別回路とを含む。オフセット除去回路は、その選択ワード線とその選択ビット線との間に電圧が印加されることによってその選択ビット線に流れる検知電流と、その選択ワード線とそのダミービット線との間に電圧が印加されることによってそのダミービット線に流れるオフセット成分電流との差に対応する電流差信号を生成する。データ判別回路は、その電流差信号に基づいて、その選択ワード線とその選択ビット線との間に介設された選択セルに記憶されている記憶データを判別する。

20

発明の開示

従って、本発明の目的は、MRAMのメモリセルに記憶されているデータを高い信頼性で判別可能な磁気ランダムアクセスメモリを提供することにある。

また、本発明の他の目的は、チップ面積の増加を抑制しつつ、MRAMのメモリセルに記憶されている情報を高い信頼性で判別する読み出しを行う磁気ランダムアクセスメモリを提供することにある。

本発明の更に他の目的は、TMR素子の抵抗値及びMR比に依存することなく、MRAMのメモリセルに記憶されている情報を高い信頼性で判別する読み出しを行う磁気ランダムアクセスメモリを提供することにある。

- 5 本発明の別の目的は、MRAMのメモリセルにおける参照信号が、TMR素子の抵抗値及びMR比に依存することなく“0”と“1”のセンス信号の中間値となる磁気ランダムアクセスメモリを提供することにある。

- 10 本発明の更に別の目的は、参照セル及びその他の回路で用いられるTMR素子の両端に印加される電圧が、メモリセルに用いられるTMR素子の両端に印加される電圧と実質的に等しくし、TMR素子特有のバイアス依存性によって読み出しの信頼性が低下するのを防ぐことが可能な磁気ランダムアクセスメモリを提供することにある。

- 15 従って、上記課題を解決するために、本発明の磁気ランダムアクセスメモリは、複数のビット線と参照ビット線と複数のメモリセルと複数の参照セルと読み出し部とを具備する。

- ただし、複数のビット線は、第1方向に延伸する。参照ビット線は、第1方向に延伸する。複数のメモリセルは、複数のビット線の各々に沿って設けられている。複数の参照セルは、参照ビット線に沿って設けられている。複数のメモリセルの各々は、第1磁気抵抗素子を備える。第1磁気抵抗素子は、記憶されるデータに応じて磁化方向が反転して第1状態又は第2状態となる自発磁化を有し、読み出し動作時にビット線に接続されている。複数の参照セルの各々は、参照用磁気抵抗素子を備える。参照用磁気抵抗素子は、記憶されるデータに応じて磁化方向が反転して第1状態又は第2状態となる自発磁化を有し、読み出し動作時に参照ビット線に接続されている。読み出し部は、第1抵抗部と、第2抵抗部と、比較部とを備える。第1抵抗部は、読み出し動作時に選択ビット
- 20
- 25

線に接続されている一方の端子としての第 9 端子と、第 1 電源に接続された他方の端子としての第 10 端子とを含み、第 1 抵抗値を有する。第 2 抵抗部は、読み出し動作時に参照ビット線に接続されている一方の端子としての第 11 端子と、第 1 電源に接続された他方の端子としての第 12 端子とを含み、第 1 抵抗値と異なる第 2 抵抗値を有する。比較部は、第 9 端子の電位としてのセンス電位と、第 11 端子の電位としての参照電位とを比較する。

上記の磁気ランダムアクセスメモリにおいて、選択セルに記憶されているデータの読み出しのとき、読み出し部は、まず、第 1 電源の電位を、選択セルの第 1 磁気抵抗素子と第 1 抵抗部とで分圧してセンス電位とする。一方、第 1 電源の電位を、選択参照セルの参照用磁気抵抗素子と第 2 抵抗部とで分圧して参照電位とする。そして、センス電位と参照電位との比較結果を出力する。ここで、選択セルは複数のメモリセルから選択され、選択参照セルは複数の参照セルから選択される。

上記の磁気ランダムアクセスメモリにおいて、第 1 抵抗部は、磁化方向が反転して第 1 状態又は第 2 状態となる自発磁化を有し、直列に接続された第 2 磁気抵抗素子及び第 3 磁気抵抗素子を備える。第 2 抵抗部は、磁化方向が反転して第 1 状態又は第 2 状態となる自発磁化を有し、直列に接続された第 4 磁気抵抗素子及び第 5 磁気抵抗素子を備える。

上記の磁気ランダムアクセスメモリにおいて、参照用磁気抵抗素子、第 1 磁気抵抗素子、第 2 磁気抵抗素子、第 3 磁気抵抗素子、第 4 磁気抵抗素子及び第 5 磁気抵抗素子は、実質的に同じ構造である。第 2 磁気抵抗素子と第 3 磁気抵抗素子とは、自発磁化の磁化方向が同じである。第 4 磁気抵抗素子と第 5 磁気抵抗素子とは、自発磁化の磁化方向が異なる。

上記の磁気ランダムアクセスメモリにおいて、第 9 端子と複数のメモリセルとの間に接続され、複数のメモリセルに所定の基準電圧よりも大きい電圧がかからないようにする破壊電圧防止回路を更に具備する。

上記の磁気ランダムアクセスメモリにおいて、読み出し部は、第1定電圧部と、第1電流部と、第2電流部とを更に備える。第1定電圧部は、第9端子と複数のメモリセルとの間、及び、第11端子と複数の参照セルとの間に第2電位を印加する。第1電流部は、第1定電圧部と第9端子との間に設けられ、選択ビット線と第1抵抗部と同じ大きさの電流を供給する。第2電流部は、第1定電圧部と第11端子との間に設けられ、参照ビット線と第2抵抗部と同じ大きさの電流を供給する。

上記の磁気ランダムアクセスメモリにおいて、選択セルに記憶されているデータの読み出しのとき、読み出し部は、まず、第1定電圧部が、それぞれ選択ビット線及び参照ビット線に第2電位を印加する。一方、第1電流部が、選択ビット線と選択セル及び第1抵抗部へ同じ大きさのセンス電流を流す。同様に、第2電流部が、参照ビット線と選択参照セル及び第2抵抗部へ同じ大きさの参照電流を流す。そして、第1電流部と第1抵抗部との間の電位をセンス電位とする。また、第2電流部と第2抵抗部との間の電位を参照電位とする。そして、センス電位と参照電位との比較結果を出力する。ここで、選択ビット線は、複数のビット線から選択される。選択セルは、複数のメモリセルから選択される。選択参照セルは、複数の参照セルから選択される。

上記の磁気ランダムアクセスメモリにおいて、第1定電圧部は、クランプ回路を含む。

上記の磁気ランダムアクセスメモリにおいて、第1電流部及び第2電流部のうちの少なくとも一方は、カレントミラー回路を含む。

上記の磁気ランダムアクセスメモリにおいて、読み出し部は、第1補助部、及び、第2補助部のうちの少なくとも一方を更に備える。ここで、第1補助部は、第9端子に接続され、センス電圧を変更可能である。第2補助部は、第11端子に接続され、参照電圧を変更可能である。

上記の磁気ランダムアクセスメモリにおいて、第1補助部及び第2補

助部のうちの少なくとも一方は、トリミング回路を含む。

上記の磁気ランダムアクセスメモリにおいて、複数の参照セルは、参照磁気抵抗素子に直列に接続した第1スイッチを更に備える。参照ビット線に対して互いに並列に接続されている。そして、複数の参照セルの
5 うちの 하나가、読み出し動作に用いる選択参照セルとして、第1スイッチにより選択される。

上記の磁気ランダムアクセスメモリにおいて、第1抵抗部は、複数ある。複数の第1抵抗部の各々は、第9端子及び第10端子に接続され、第9端子側及び第10端子側のいずれか一方に第2スイッチを備える。
10 そして、複数の第1抵抗部のうちの 하나가、読み出し動作に用いる第1抵抗部として、第2スイッチにより選択される。

上記の磁気ランダムアクセスメモリにおいて、第2抵抗部は、複数ある。複数の第2抵抗部の各々は、第11端子及び第12端子に接続され、第11端子側及び第12端子側のいずれか一方に第3スイッチを備える。
15 複数の第2抵抗部のうちの 하나가、読み出し動作に用いる第2抵抗部として、第3スイッチにより選択される。

上記の磁気ランダムアクセスメモリにおいて、下記(1)式において、参照電圧を V_{ref} 、第1状態でのセンス電圧を $V_s(1)$ 、第2状態のセンス電圧を $V_s(2)$ としたとき、

$$20 \quad V_{ref} = V_s(1) + k \cdot (V_s(2) + V_s(1))$$

(1)

変数 k は、 $k \leq 0.49$ となる。

上記の磁気ランダムアクセスメモリは、複数のワード線対と、第1セレクトと、第2セレクトと、第3セレクトと、第4セレクトとを更に具備する。複数のワード線対は、第1方向に実質的に垂直な第2方向に延伸する第1ワード線と第2ワード線との組である。第1セレクトは、読み出し動作時に、複数のビット線から選択ビット線を選択し、参照ビッ
25

- ト線を選択する。第2セレクタは、書き込み動作時に、複数のビット線から選択ビット線を選択する。第3セレクタは、書き込み動作時に、複数の第1ワード線から選択第1ワード線を選択する。第4セレクタは、読み出し動作時に、複数の第2ワード線から選択第2ワード線を選択する。
- 5 複数のメモリセルの各々は、第1トランジスタを更に備える。第1トランジスタは、第2ワード線に接続された第1ゲートと、第1ゲート以外の一方向の端子としての第1端子と、接地に接続された他方の端子としての第2端子とを含む。複数のメモリセルの各々は、複数のビット線と複数のワード線対とが交差する位置のそれぞれに対応して設けられる。
- 10 第1磁気抵抗素子が、第1端子に接続された一方の端子としての第3端子と、ビット線に接続された他方の端子としての第4端子とを含む。複数の参照セルの各々は、第2トランジスタを更に備える。第2トランジスタは、第2ワード線に接続された第2ゲートと、第2ゲート以外の一方向の端子としての第5端子と、接地に接続された他方の端子としての第6
- 15 端子とを含む。複数の参照セルの各々は、参照ビット線と複数のワード線対とが交差する位置のそれぞれに対応して設けられる。参照磁気抵抗素子は、第5端子に接続された一方の端子としての第7端子と、参照ビット線に接続された他方の端子としての第8端子とを含む。

- 上記の磁気ランダムアクセスメモリにおいて、選択セルに記憶されているデータの読み出しのとき、まず、第4セレクタは、選択セルの第1トランジスタを導通状態にする電圧を選択第2ワード線に供給し、選択第2ワード線以外の非選択第2ワード線には非選択セルの第1トランジスタを非導通状態にする電圧を供給する。第1セレクタは、選択ビット線と参照ビット線とを読み出し部に接続する。一方、読み出し部は、第
- 20 1電源の電位を、選択セルの第1磁気抵抗素子と第1抵抗部とで分圧してセンス電位とする。第1電源の電位を、選択参照セルの参照用磁気抵抗素子と第2抵抗部とで分圧して参照電位とする。そして、センス電位
- 25

と参照電位との比較結果を出力する。ここで、選択セルは、選択第2ワード線と選択ビット線とで複数のメモリセルから選択される。非選択セルは、選択セル以外のメモリセルである。選択参照セルは、選択第2ワード線と参照ビット線とで複数の参照セルから選択される。

- 5 上記の磁気ランダムアクセスメモリは、ワード線と、第1セレクトと、第2セレクトとを更に具備する。ワード線は、第1方向に実質的に垂直な第2方向に延伸する。第1セレクトは、複数のビット線から選択ビット線を選択し、読み出し動作時に、参照ビット線を選択する。第2セレクトは、複数のワード線から選択ワード線を選択する。複数のメモリセルの各々は、複数のビット線と複数のワード線とが交差する位置のそれぞれに対応して設けられている。第1磁気抵抗素子が、ワード線に接続された一方の端子としての第1端子と、ビット線に接続された他方の端子としての第2端子と含む。複数の参照セルの各々は、参照ビット線と複数のワード線とが交差する位置のそれぞれに対応して設けられている。
- 10
- 15 参照用磁気抵抗素子が、ワード線に接続された一方の端子としての第3端子と、参照ビット線に接続された他方の端子としての第4端子と含む。

- 上記の磁気ランダムアクセスメモリにおいて、選択セルに記憶されているデータの読み出しのとき、まず、第2セレクトは、選択ワード線に読み出し電位を印加し、複数のワード線の中の選択ワード線以外の非選択ワード線を開放する。第1セレクトは、選択ビット線と参照ビット線とを読み出し部に接続する。一方、読み出し部は、第1電源の電位を、選択セルの第1磁気抵抗素子と第1抵抗部とで分圧してセンス電位とする。第1電源の電位を、選択参照セルの参照用磁気抵抗素子と第2抵抗部とで分圧して参照電位とする。センス電位と参照電位との比較結果を出力する。ここで、選択セルは、選択ワード線と選択ビット線とで複数のメモリセルから選択され、選択参照セルは、選択ワード線と参照ビット線とで複数の参照セルから選択される。
- 20
- 25

上記の磁気ランダムアクセスメモリにおいて、複数の第2ビット線と、複数のワード線と、第1セレクタと、第2セレクタと、第3セレクタとを更に具備する。複数の第2ビット線は、複数のビット線の各々と対をなし、第1方向に延伸する。複数のワード線は、第1方向に実質的に垂直な第2方向に延伸する。第1セレクタは、複数のビット線から選択ビット線を選択する。第2セレクタは、複数の第2ビット線から選択第2ビット線を選択する。第3セレクタは、複数のワード線から選択ワード線を選択する。複数のメモリセルの各々は、第1トランジスタと、第2トランジスタとを更に備える。第1トランジスタは、ワード線に接続された第1ゲートと、ビット線に接続された第1ゲート以外の一方の端子としての第1端子と、他方の端子としての第2端子とを含む。第2トランジスタは、ワード線に接続された第2ゲートと、第2ビット線に接続された第2ゲート以外の一方の端子としての第5端子と、第2端子に接続された他方の端子としての第6端子とを含む。複数のメモリセルの各々は、複数のビット線及び複数の第2ビット線と複数のワード線とが交差する位置のそれぞれに対応して設けられている。第1磁気抵抗素子が、一方の端子としての第3端子を接地に、他方の端子としての第4端子を第2端子に接続されている。複数の参照セルの各々は、第3トランジスタと、第4トランジスタとを更に備える。第3トランジスタは、ワード線に接続された第3ゲートと、ビット線に接続された第3ゲート以外の一方の端子としての第7端子と、他方の端子としての第8端子とを含む。第4トランジスタは、ワード線に接続された第4ゲートと、第2ビット線に接続された第4ゲート以外の一方の端子としての第11端子と、第8端子に接続された他方の端子としての第12端子とを含む。複数の参照セルの各々は、参照ビット線と複数のワード線とが交差する位置のそれぞれに対応して設けられている。参照磁気抵抗素子が、一方の端子としての第9端子を接地に、他方の端子としての第10端子を第8

端子に接続されている。

上記の磁気ランダムアクセスメモリにおいて、選択セルに記憶されているデータの読み出しのとき、まず、第1セレクタは、選択ビット線を選択し、複数のビット線のうちの選択ビット線以外の非選択ビット線を開放する。第3セレクタは、選択セルの第1トランジスタ及び第2トランジスタを導通状態にする電圧を選択ワード線に供給し、選択ワード線以外の非選択ワード線には非選択セルの第1トランジスタ及び第2トランジスタを非導通状態にする電圧を供給する。一方、読み出し部は、第1電源の電位を、選択セルの第1磁気抵抗素子と第1抵抗部とで分圧してセンス電位とする。第1電源の電位を、選択参照セルの参照用磁気抵抗素子と第2抵抗部とで分圧して参照電位とする。そして、センス電位と参照電位との比較結果を出力する。ここで、選択セルは、選択ワード線と選択ビット線とで複数のメモリセルから選択される。非選択セルは、選択セル以外のメモリセルである。選択参照セルは、選択ワード線と参照ビット線とで複数の参照セルから選択される。

図面の簡単な説明

図1は、典型的なMRAMの構成を示す図である。

図2は、従来技術における参照用メモリセル及びその周辺の構成を示す図である。

図3は、TMRの両端にかかる電圧（両端電圧）とMR比との関係を示すグラフである。

図4は、本発明の磁気ランダムアクセスメモリの第1の実施の形態の構成図である。

図5Aは、磁気抵抗素子の抵抗値のばらつきを示すグラフである。

図5Bは、参照電圧と読み出し不良セルの確率の関係の計算結果を示すグラフである。

図 6 は、 $V_{ref} (ideal)$ を示すグラフである。

図 7 は、センス電圧及び参照電圧の MR 比依存性を示すグラフである。

図 8 は、センス電圧及び参照電圧の磁気抵抗素子の抵抗値依存性を示すグラフである。

5 図 9 は、本発明の磁気ランダムアクセスメモリの第 2 の実施の形態の構成図である。

図 10 は、最も読み出し精度を高くする k と MR 比との関係を示すグラフである。

10 図 11 は、本発明の磁気ランダムアクセスメモリの第 3 の実施の形態の更に他の構成を示す図である。

図 12 は、本発明の磁気ランダムアクセスメモリの第 4 の実施の形態の更に他の構成を示す図である。

図 13 は、本発明の磁気ランダムアクセスメモリの第 1 の実施の形態の構成図である。

15 図 14 は、センス電圧及び参照電圧の MR 比依存性を示すグラフである。

図 15 は、センス電圧及び参照電圧の磁気抵抗素子の抵抗値依存性を示すグラフである。

20 図 16 は、本発明の磁気ランダムアクセスメモリの第 6 の実施の形態の構成図である。

図 17 は、本発明の磁気ランダムアクセスメモリの第 6 の実施の形態の構成図である。

図 18 は、本発明の磁気ランダムアクセスメモリの第 8 の実施の形態の更に他の構成を示す図である。

25 図 19 は、本発明の磁気ランダムアクセスメモリの第 9 の実施の形態の更に他の構成を示す図である。

図 20 は、クロスポイントセルアレイを示す図である。

図 2 1 は、他のメモリセルアレイを示す図である。

発明を実施するための最良の形態

以下、本発明の磁気ランダムアクセスメモリの実施の形態に関して、

5 添付図面を参照して説明する。

(第 1 の実施の形態)

まず、本発明の磁気ランダムアクセスメモリの第 1 の実施の形態の構成について説明する。

10 図 4 は、本発明の磁気ランダムアクセスメモリの第 1 の実施の形態の構成図である。磁気ランダムアクセスメモリは、読み出し回路 1 とメモリセルアレイ 2 と破壊電圧防止回路 1 8 とを具備する。

メモリセルアレイ 2 は、磁化方向を自在に反転することが可能な自発磁化を有するメモリセル 2 1 により、データを不揮発な状態で格納する。メモリセルアレイ 2 は、複数のメモリセル 2 1、複数の参照セル（参照用メモリセル） 2 2、複数のビット線 3 3、参照ビット線 3 4、複数の
15 ワード線対 5 0、読み出し Y セレクタ 2 3、書き込み Y セレクタ 2 4、書き込み X セレクタ 2 8、読み出し X セレクタ 2 9 とを備える。

ビット線 3 3 は、第 1 方向としての Y 方向に延伸する。一方を読み出し Y セレクタ 2 3 に、他方を書き込み Y セレクタ 2 4 に接続されている。
20 複数のビット線 3 3 は、互いに平行に X 方向に並んで配置される。参照ビット線 3 4 は、ビット線 3 3 と平行に、Y 方向に延伸する。一方を読み出し Y セレクタ 2 3 に、他方を書き込み Y セレクタ 2 4 に接続されている。複数のワード線対 5 0 の各々は、第 1 ワード線としての書き込みワード線 3 1 と、第 2 ワード線としての読み出しワード線 3 2 との組で
25 ある。複数のワード線対 5 0 は、第 1 方向に実質的に垂直な方向である第 2 方向としての X 方向に延伸する。書き込みワード線 3 1 は、一方を書き込み X セレクタ 2 8 に接続されている。読み出しワード線 3 2 は、

一方を読み出しXセクタ29に接続されている。複数のビット線対50は、互いに平行にY方向に並んで配置される。書き込みYセクタ24及び書き込みXセクタ28は、それぞれ図示しない書き込み用の電源に接続されている。

- 5 第1セクタとしての読み出しYセクタ23は、読み出し動作時に、複数のビット線33から選択ビット線33sを選択する。それと共に、参照ビット線34を選択する。そして、選択ビット線33sおよび参照ビット線34の電圧又は電流を、それぞれ配線35及び配線36を介して、読み出し回路1へ出力する。第2セクタとしての書き込みYセクタ24は、書き込み動作時に、複数のビット線33から選択ビット線33sを選択する。第3セクタとしての書き込みXセクタ28は、書き込み動作時に、複数の書き込みワード線31から選択書き込みワード線31sを選択する。第4セクタとしての読み出しXセクタ29は、読み出し動作時に、複数の読み出しワード線32から選択読み出しワード線32sを選択する。
- 10
- 15

メモリセル21は、複数のビット線33と複数のワード線対50とが交差する位置のそれぞれに対応して設けられる。すなわち、複数のビット線33に沿って設けられている。メモリセル21は、磁気抵抗素子27と、MOSトランジスタ26とを備える。

- 20 第1磁気抵抗素子としての磁気抵抗素子27は、記憶されるデータに応じて磁化方向が反転して第1状態又は第2状態となる自発磁化を有する。ここでは、第1状態とは、例えば、TMRが反平行状態である場合であり、データ“1”に対応し、第2状態とは、TMRが平行状態である場合であり、データ“0”に対応する。平行そして、読み出し動作時に、対応するビット線33に接続されている。磁気抵抗素子27は、一方の端子としての第3端子と、ビット線33に接続された他方の端子としての第4端子とを含む。第1トランジスタとしてのMOSトランジスタ
- 25

タ 2 6 は、読み出し動作時に、磁気抵抗素子 2 7 の一方の端子（第 3 端子）を接地に接続するために用いる。M O S トランジスタ 2 6 は、読み出しワード線 3 2 に接続された第 1 ゲートと、第 1 ゲート以外の一方の端子としての第 1 端子と、接地に接続された他方の端子としての第 2 端子とを含む。第 1 端子は、第 3 端子に接続される。

参照セル 2 2 は、参照ビット線 3 4 と複数のワード線対 5 0 とが交差する位置のそれぞれに対応して設けられる。すなわち、参照ビット線 3 4 に沿って設けられている。このような参照セル 2 2 の列を参照セルカラムともいう。参照セル 2 2 は、参照磁気抵抗素子 2 7 r と、参照 M O S トランジスタ 2 6 r とを備える。

参照用磁気抵抗素子 2 7 は、記憶されるデータに応じて磁化方向が反転して第 1 状態又は第 2 状態となる自発磁化を有する。ここでは、データ読み出し時の参照のために、定常的に、例えば、第 2 状態の T M R が平行状態であるデータ “0” を格納している。そして、読み出し動作時に、対応する参照ビット線 3 4 に接続されている。参照磁気抵抗素子 2 7 は、一方の端子としての第 7 端子と、参照ビット線 3 4 に接続された他方の端子としての第 8 端子とを含む。第 2 トランジスタとしての参照 M O S トランジスタ 2 6 r は、読み出し動作時に、参照磁気抵抗素子 2 7 r の一方の端子（第 7 端子）を接地に接続するために用いる。参照 M O S トランジスタ 2 6 r は、読み出しワード線 3 2 に接続された第 2 ゲートと、第 2 ゲート以外の一方の端子としての第 5 端子と、接地に接続された他方の端子としての第 6 端子とを含む。第 5 端子は、第 7 端子に接続される。

破壊電圧防止回路 1 8 は、メモリセルアレイ 2 の読み出し Y セレクタ 2 3 から延びる、選択ビット線 3 3 s と接続される配線 3 5 の途中の接続点 A 1 に接続されている。同様に、読み出し Y セレクタ 2 3 から延びる、参照ビット線 3 4 s と接続される配線 3 6 の途中の点 B 1 に接続さ

れている。すなわち、読み出し回路 1 と複数のメモリセル 2 1 又は複数の参照セル 2 2 との間に接続されている。そして、複数のメモリセル 2 1 又は複数の参照セル 2 2 に所定の基準電圧よりも大きい電圧がかからないようにする。これにより、読み出し回路 1 側から基準電圧よりも大
5 きい電圧がメモリセルアレイ側に印加される事態を防止することができる。

読み出し部としての読み出し回路 1 は、メモリセルアレイ 2 の選択セル 2 1 s 及び選択参照セル 2 2 s からの電圧又は電流の出力に基づいて、選択セル 2 1 s のデータを出力する。ただし、選択セル 2 1 s は、選択
10 読み出しワード線 3 2 s と選択ビット線 3 3 s とで特定されるメモリセル 2 1 である。選択参照セル 2 2 s は、選択読み出しワード線 3 2 s と参照ビット線 3 4 とで特定される参照セル 2 2 である。読み出し回路 1 は、負荷抵抗に用いる TMR 列 A 1 1 及び TMR 列 B 1 2 と、比較器 1 3 とを備える。

15 第 1 抵抗部としての TMR 列 A 1 1 は、選択ビット線 3 3 s の負荷抵抗として用いる。磁化方向が反転して第 1 状態又は第 2 状態となる自発磁化を有し、互いに直列に接続された（第 2）磁気抵抗素子 4 1 及び（第 3）磁気抵抗素子 4 2 を有する。そして、一方の端子としての第 9 端子（磁気抵抗素子 4 2 の一端）と、他方の端子としての第 10 端子
20 （磁気抵抗素子 4 1 の一端）とを含む。第 9 端子は、配線 3 5 を介してメモリセルアレイ 2 に接続され、読み出し動作時に選択ビット線 3 3 s に接続されている。第 10 端子は、第 1 電源（V_p）に接続される。ここでは、磁気抵抗素子 4 1 及び磁気抵抗素子 4 2 は、いずれも定常的に TMR が反平行状態であるデータ“1”を格納している。磁気抵抗素子
25 4 1 と磁気抵抗素子 4 2 との直列抵抗値を第 1 抵抗値ともいう。

第 2 抵抗部としての TMR 列 B 1 2 は、参照ビット線 3 4 の負荷抵抗として用いる。磁化方向が反転して第 1 状態又は第 2 状態となる自発磁

化を有し、互いに直列に接続された（第 4）磁気抵抗素子 4 4 子及び（第 5）磁気抵抗素子 4 5 を有する。そして、一方の端子としての第 1 1 端子（磁気抵抗素子 4 5 の一端）と、他方の端子としての第 1 2 端子（磁気抵抗素子 4 4 の一端）とを含む。第 1 1 端子は、配線 3 6 を介してメモリセルアレイ 2 に接続され、読み出し動作時に参照ビット線 3 4 に接続されている。第 1 2 端子は、第 1 電源（ V_p ）に接続される。ここでは、磁気抵抗素子 4 4 及び磁気抵抗素子 4 5 のうち、いずれか一方は定常的に TMR が反平行状態であるデータ “1” を格納し、他方は定常的に TMR が平行状態であるデータ “0” を格納している。磁気抵抗素子 4 4 と磁気抵抗素子 4 5 との直列抵抗値を第 2 抵抗値ともいう。

比較部としての比較器 1 3 は、選択ビット線 3 3 s の電位と実質的に等しい配線 3 5 上の接続点 A の電位（＝第 9 端子の電位）を、センス電位と V_s して検出する。同時に、参照ビット線 3 4 の電位と実質的に等しい配線 3 6 上の接続点 B の電位（＝第 1 1 端子の電位）を、参照電位 V_{ref} として検出する。そして、その大小を比較した結果を、読み出し結果として出力する。

ここで、参照用磁気抵抗素子 2 7 r、磁気抵抗素子 2 7、磁気抵抗素子 4 1、磁気抵抗素子 4 2、磁気抵抗素子 4 4 及び磁気抵抗素子 4 5 は、実質的に同じ構造の磁気抵抗素子である。磁気抵抗素子は、TMR 素子に例示される。実質的とは、製造上の誤差のような制御できない要因を除く意味である。本明細書中で同じとする。

次に、本発明の磁気ランダムアクセスメモリの第 1 の実施の形態の動作について説明する。ここでは、磁気ランダムアクセスメモリの読み出し動作について説明する。

まず、読み出し X セクタ 2 9 は、選択読み出しワード線 3 2 s に読み出し電位を印加し、複数の読み出しワード線 3 2 の内の選択読み出しワード線以外の非選択読み出しワード線 3 2 を開放する。これにより、

MOSトランジスタ26及び参照MOSトランジスタ26rがONになる。

読み出しYセクタ23は、選択ビット線33s及び参照ビット線34を、それぞれ配線35及び配線36を介して、それぞれ読み出し回路51のTMR列A11の第9端子及びTMR列B12の第11端子に接続する。

このとき、第1電源(Vp) - TMR列A11の磁気抵抗素子41 - 磁気抵抗素子42 - 配線35 - 選択ビット線33s - 選択セル21sの磁気抵抗素子27 - 接地、の第1接続が形成される。同様に、第1電源10 (Vp) - TMR列B12の磁気抵抗素子44 - 磁気抵抗素子45 - 配線36 - 参照ビット線34 - 選択参照セル22sの参照磁気抵抗素子27r - 接地、の第2接続が形成される。

第1電源(Vp)の電位は、上記第1接続における磁気抵抗素子27と、磁気抵抗素子41と、磁気抵抗素子42とで分圧される。読み出し15 回路1の比較器13は、分圧された電位のうち、接続点Aの電位(磁気抵抗素子27と磁気抵抗素子41との間の電位)をセンス電位Vsとする。同様に、第1電源(Vp)の電位は、上記第2接続における参照磁気抵抗素子27rと、磁気抵抗素子44と、磁気抵抗素子45とで分圧される。読み出し回路1の比較器13は、分圧された電位のうち、接続20 点Bの電位(参照磁気抵抗素子27rと磁気抵抗素子45との間の電位)を参照電位Vrefとする。そして、比較器13は、センス電位Vsと参照電位Vrefとの差に基づいて、読み出し結果を出力する。

以上の読み出し動作により、磁気ランダムアクセスメモリの選択セル21sのデータを読み出すことができる。

25 ここで、参照電圧Vrefの最適な値について考える。参照電圧Vrefは、概ねVs(1)とVs(0)との中間の値をとることが望ましい。それに基づいて、各磁気抵抗素子の抵抗値が読み出し回路1にて線

形に電圧に変換されていると仮定し、参照電圧 V_{ref} が以下の式で表されると仮定する。

$$V_{ref} = V_s(0) + k \cdot \{V_s(1) - V_s(0)\} \quad (3)$$

- 5 一方、磁気抵抗素子の抵抗値は、製造上のばらつきがある。そのため、メモリセル内の全ての磁気抵抗素子が常に全く同じ値になるわけではない。

図 5 A は、磁気抵抗素子の抵抗値のばらつきを示すグラフである。縦軸はセルの数、横軸は磁気抵抗素子の抵抗値である。R0 は、データ
10 “0” の抵抗値の平均値を示す。R1 は、データ “1” の抵抗値の平均値を示す。一般に、磁気抵抗素子の抵抗値の分布は、正規分布で与えられる。このとき、データ “1” を格納した磁気抵抗素子の抵抗値のばらつき σ_{R1} は、データ “0” を格納した磁気抵抗素子の抵抗値のばらつき σ_{R0} を (1 + MR 比) 倍したものに等しい。そのため、必ず $\sigma_{R0} <$
15 σ_{R1} が成立する。

図 5 B は、参照電圧と読み出し不良セルの確率の関係の計算結果を示すグラフである。ただし、ここでは、MR 比 = 20 % とし、データ
“0” を格納した磁気抵抗素子の抵抗値のばらつきの σ_{R0} を、1.5 % と仮定している。 $\sigma_{R0} < \sigma_{R1}$ が成立するので、読み出し不良セル
20 の確率が最も小さくなる参照電圧 V_{ref} 、即ち、最も読み出しの信頼性を高くする参照電圧 $V_{ref}(ideal)$ は、式 (3) における $k = 0.5$ である V_{mid} よりも若干小さい値となる。

TMR 抵抗値ばらつきに伴うデータ “0” のセンス電圧 $V_s(0)$ のばらつきを σ_{V0} 、データ “1” のセンス電圧 $V_s(1)$ のばらつきを
25 σ_{V1} とすると、 $V_{ref}(ideal)$ は、

$$V_{ref}(ideal) = \{ \sigma_{V0} \cdot \sigma_{V1} \cdot \{V_s(1) - V_s(0)\} + \sigma_{V1}^2 \cdot V_s(0) - \sigma_{V0}^2 \cdot V_s(1) \} / (\sigma_{V1}^2 - \sigma_{V0}^2)$$

$$\sigma_{V0}^2) \quad (4)$$

となる。ただし、ここでは、 $\sigma_{V0} = \sigma_{R0}$ 、 $\sigma_{V1} = \sigma_{V0} \cdot (1 + MR \text{ 比})$ 、である。

式(3)と式(4)より、 $V_{ref}(ideal)$ となる k の値を計算した。

図6は、その結果を示すグラフである。縦軸は最も読み出し精度を高くする k 、横軸は MR 比である。ここでは、 $\sigma_{R0} = 1、2、3\%$ の各値について計算している。磁気抵抗素子の抵抗値のばらつき σ_{R0} は、 $1 \sim 3\%$ 程度であると一般に知られているからである。

例えば、メガクラスビットの $MRAM$ を実現するには 10^{-6} 以下の読み出し精度が必要である。磁気抵抗素子の抵抗値ばらつきが 1% と仮定した場合、 MR 比は最低でも 10% 以上必要である。従って、図6より、(3)式に示す k の値を 0.49 以下であるような参照電圧を生成することが望ましい。

本実施例では、メモリセル21、参照セル22、負荷抵抗(TMR列A11及びTMR列B12)に用いられている磁気抵抗素子は全て実質的に同一である。ここで、データ“1”を格納した磁気抵抗素子にかかる電圧を $V(1)$ 、データ“0”を格納した磁気抵抗素子にかかる電圧を $V(0)$ 、 MR 比を MR とした場合、選択ビット線の電圧、即ち、センス電圧 V_s と、参照電圧 V_{ref} は、以下の式で表される。

$$V_s(0) = V_p / (3 + 2 \cdot MR), \quad V_s(1) = V_p / 3 \quad (5)$$

$$V_{ref} = V_p / (3 + MR) \quad (6)$$

このとき、本実施例を $V_p = 1.0V$ として、シミュレーションを行った。その結果を図7及び図8に示す。

図7は、センス電圧及び参照電圧の MR 比依存性を示すグラフである。

縦軸はセンス電圧 V_s 及び参照電圧 V_{ref} 、横軸はMR比である。式 (5) 及び (6) より、MR比の変化によらず、 V_{ref} は、常に概ね $V_s(1)$ と $V_s(0)$ との中間の値をとることがわかる。即ち、MR比によらず、最適な参照電圧を維持することが可能となる。

5 図8は、センス電圧及び参照電圧の磁気抵抗素子の抵抗値依存性を示すグラフである。磁気抵抗素子の抵抗値は、温度により上昇する。磁気抵抗素子の温度依存性に関わらず、 V_{ref} は、常に概ね $V_s(1)$ と $V_s(0)$ との中間の値をとることがわかる。即ち、磁気抵抗素子の温度変化によらず、最適な参照電圧を維持することが可能となる。

10 図10は、最も読み出し精度を高くする k とMR比との関係を示すグラフである。縦軸は最も読み出し精度を高くする k 、横軸はMR比である。最適値の曲線 ($\sigma_{R0} = 1, 2, 3\%$ に関する) は、図6と同じである。曲線P1は、本実施の形態でのシミュレーション結果、及び式 (3)、(5)、(6) より計算された結果である。この結果、10%以上のMR比において、 k の値は先に述べた0.49以下の範囲内となる。即ち、読み出し不良を最小限にできる最適な参照電圧 V_{ref} を維持することが可能である。

本発明により、センス電圧 $V_s(1)$ 及び $V_s(0)$ と参照電圧 V_{ref} との関係を、磁気抵抗素子の抵抗値の変化 (印加電圧による変化、温度による変化) に依存しないものにすることが出来る。従って、各磁気抵抗素子には、約 $V_D/3$ の電圧が均等に印加される。そのため、図2で説明されたようなTMR素子特有のバイアス依存性の影響をほとんど受けない。すなわち、より高い信頼性を有する読み出し動作が可能となる。

25 本発明により、参照セル22に必要な磁気抵抗素子が1つで良いことから、メモリアレイ2内の参照セル占有面積を最小限にでき、参照セル22の磁気抵抗素子27rのショートに伴うワード線不良も抑制する

ことが出来る。

(第2の実施の形態)

次に、本発明の磁気ランダムアクセスメモリの第2の実施の形態について説明する。

5 まず、本発明の磁気ランダムアクセスメモリの第2の実施の形態の構成について説明する。

図9は、本発明の磁気ランダムアクセスメモリの第2の実施の形態の構成図である。本実施の形態では、第1の実施の形態(図4)と比較して、TMR列A11がTMR列C11aに変わっている点と、参照セル
10 22に定常的にデータ“1”が格納されている点で図4と異なる。TMR列C11aは、磁気抵抗素子41及び磁気抵抗素子42に、いずれも定常的にTMRが平行状態であるデータ“0”を格納している。TMR列B12aはTMR列B12と同じであり、図9のその他の構成も、第1の実施の形態(図4)と同様であり、その説明を省略する。

15 本発明の磁気ランダムアクセスメモリの第2の実施の形態の動作については、第1の実施の形態同様であるのでその説明を省略する。

この場合も、全ての磁気抵抗素子に約 $V_p/3$ の電圧が均等に印加される。そのため、バイアス依存性の影響をほとんど受けない。ここで、選択ビット線電圧、即ち、センス電圧 V_s と、参照電圧 V_{ref} は以下
20 の式で表される。

$$V_s(0) = V_p/3, \quad V_s(1) = (1 + MR) \cdot V_p / (3 + MR) \quad (5a)$$

$$V_{ref} = (1 + MR) \cdot V_p / (3 + 2MR) \quad (6a)$$

25 図4の場合と同様にして、式(3)、(5a)、(6a)より、10%以上のMR比においてkの値は0.49以下となる。そして、MR比の変化によらず、 V_{ref} は、常に概ね $V_s(1)$ と $V_s(0)$ との中間の

値をとる。即ち、MR比によらず、最適な参照電圧を維持することが可能となる。更に、磁気抵抗素子の温度依存性に関わらず、 V_{ref} は、常に概ね $V_s(1)$ と $V_s(0)$ との中間の値をとる。即ち、磁気抵抗素子の温度変化によらず、最適な参照電圧を維持することが可能となる。

5 また、図10の曲線P2（シミュレーション結果、及び式（3）、（5a）、（6a）により計算）に示すように、第2実施例におけるkの値は、最も読み出しの信頼性を高める理想的なkの値に非常に近くなる。即ち、読み出し不良を最小限にできる最適な参照電圧 V_{ref} を維持することが可能である。

10 （第3の実施の形態）

次に、本発明の磁気ランダムアクセスメモリの第3の実施の形態について説明する。

まず、本発明の磁気ランダムアクセスメモリの第3の実施の形態の構成について説明する。

15 図11は、本発明の磁気ランダムアクセスメモリの第3の実施の形態の更に他の構成を示す図である。図4と比較して、読み出し回路1bにおいて以下の点で異なる。すなわち、TMR列 A_{11-i} （ $i=1\sim n$ ：自然数）とスイッチ $14-i$ （ $i=1\sim n$ ：自然数）とが直列に接続された組が複数存在する。複数の組の各々は、互いに並列に接続される。そして、その一端を配線35に、他端を第1電源（ V_p ）に接続している。同様に、TMR列 B_{12-j} （ $j=1\sim m$ ：自然数）とスイッチ $15-j$ （ $j=1\sim m$ ：自然数）とが直列に接続された組が複数存在する。複数の組の各々は、互いに並列に接続される。そして、その一端を配線36に、他端を第1電源（ V_p ）に接続している。

25 この場合の読み出し回路1bは、各TMR列内の磁気抵抗素子が破損している場合や適切な値を示さない場合、読み出し歩留まりをより向上させたい場合に備えて、予備のTMR列を提供できるようになっている。

すなわち、読み出し動作時、又は、事前にスイッチ 14-i とスイッチ 15-j とにより、使用する TMR 列 A 11-i 及び TMR 列 B 12-j を決めて、それを用いることにする。

その他の構成については、第 1 の実施の形態（図 4）と同様であり、
5 その説明を省略する。

本発明の磁気ランダムアクセスメモリの第 3 の実施の形態の動作については、第 1 の実施の形態同様であるのでその説明を省略する。

本発明により、図 4 の場合の効果のほか、TMR 列内の磁気抵抗素子が破損している場合や適切な値を示さない場合、読み出し歩留まりをより向上させたい場合でも、他の TMR 列を用いることで、読み出し動作時の信頼性を向上させることが可能となる。
10

複数の TMR 列を用いる本実施の形態は、本明細書中に述べられる他の実施の形態においても、適用することが出来る。そして、同様の効果を得ることが出来る。

15 （第 4 の実施の形態）

次に、本発明の磁気ランダムアクセスメモリの第 4 の実施の形態について説明する。

まず、本発明の磁気ランダムアクセスメモリの第 4 の実施の形態の構成について説明する。

20 図 12 は、本発明の磁気ランダムアクセスメモリの第 4 の実施の形態の更に他の構成を示す図である。図 4 と比較して、メモリセルアレイ 2a において、以下の点で異なる。すなわち、参照ビット線 34 及びそれに沿って存在する参照セル 22 がない。従って、読み出し Y セクタ 23 は参照ビット線 34 を選択しない。それらに代わって、配線 36a、
25 複数の参照用磁気抵抗素子 47、参照セルセクタ 8、トランジスタ M10 が設けられている。

トランジスタ M10 は、読み出し回路 1 の TMR 列 B 12 の第 11 端

子に接続される配線 3 6 a（参照ビット線ともいう）に接続されている。
そのゲートに入力される制御信号により、読み出し動作時に、読み出し
回路 1 と参照用磁気抵抗素子 4 7 とを接続する。制御信号を入力される
ゲートと、読み出し回路 1 へ接続されたゲート以外の方の端子として
5 の第 1 接続端子と、複数の参照用磁気抵抗素子 4 7 - k へ接続された他
方の端子としての第 2 接続端子とを備える。

参照用磁気抵抗素子 4 7 - k（ $k = 1 \sim p$ ：自然数）は、その一方の
端子を第 2 接続端子へ接続している。他方の端子を参照セルセクタ 8
に接続している。複数の参照用磁気抵抗素子 4 7 は、第 2 接続端子に対
10 して互いに並列に接続されている。参照用磁気抵抗素子 4 7 は、記憶さ
れるデータに応じて磁化方向が反転して第 1 状態又は第 2 状態となる自
発磁化を有する。ここでは、データ読み出し時の参照のために、定常的
に、例えば、第 2 状態の TMR が平行状態であるデータ“0”を格納し
ている。そして、読み出し動作時に、配線 3 6 a を介して読み出し回路
15 1 に接続されている。

参照セルセクタ 8 は、複数の参照用磁気抵抗素子 4 7 - k の一つを
選択する。

この場合の参照用磁気抵抗素子 4 7 - k は、参照用磁気抵抗素子が破
損している場合や適切な値を示さない場合、読み出し歩留まりをより向
20 上させたい場合に備えて、予備の参照用磁気抵抗素子を提供できるよう
になっている。すなわち、読み出し動作時、又は、事前に参照セルセ
クタ 8 により、使用する参照用磁気抵抗素子 4 7 - k を決めて、それ
を用いることにする。

その他の構成については、第 1 の実施の形態（図 4）と同様であり、
25 その説明を省略する。

本発明の磁気ランダムアクセスメモリの第 4 の実施の形態の動作につ
いては、参照セル 2 2 の代わりに参照磁気抵抗素子 4 7 を用いること、

参照磁気抵抗素子 47 の選択は、トランジスタ M10 及び参照セルセレクト 8 とで行うこと以外は、第 1 の実施の形態同様であるのでその説明を省略する。

5 本発明により、図 4 の場合の効果のほか、参照用の磁気抵抗素子が破損している場合や適切な値を示さない場合、読み出し歩留まりをより向上させたい場合でも、他の T 参照用の磁気抵抗素子を用いることで、読み出し動作時の信頼性を向上させることが可能となる。

複数の参照用磁気抵抗素子を用いる本実施の形態は、本明細書中に述べられる他の実施の形態においても、適用することが出来る。そして、
10 同様の効果を得ることが出来る。

(第 5 の実施の形態)

まず、本発明の磁気ランダムアクセスメモリの第 5 の実施の形態の構成について説明する。

図 13 は、本発明の磁気ランダムアクセスメモリの第 5 の実施の形態
15 の構成図である。磁気ランダムアクセスメモリは、読み出し回路 1、メモリセルアレイ 2、第 1 電流回路 3、第 2 電流回路 4 及び定電圧回路 5 を具備する。

メモリセルアレイ 2 は、第 1 の実施の形態と同様である。ただし、読み出し Y セクタ 23 からの配線 35 の途中に、定電圧回路 5 及び第 1
20 電流回路 3 が接続され、読み出し Y セクタ 23 からの配線 36 の途中に、定電圧回路 5 及び第 2 電流回路 4 が接続されているほかは、第 1 の実施の形態と同じである。

ただし、配線 35 は、一端を読み出し Y セクタ 23 を介して選択ビット線 33s に接続されている。配線 36 は、一端を読み出し Y セクタ 23 を介して参照ビット線 34 に接続されている。
25

読み出し部の一部としての読み出し回路 1 は、TMR 列 A11 の第 9 端子が配線 35 ではなく、配線 37 に接続していること、及び、TMR

列 B 1 2 の第 1 1 端子が配線 3 6 ではなく、配線 3 7 に接続していることのほかは、第 1 の実施の形態と同じである。

ただし、配線 3 7 は、選択ビット線 3 3 s に流れる電流に等しい電流を流す第 1 電流回路 3 が接続されている。同様に、配線 3 8 は、参照ビット線 3 4 に流れる電流に等しい電流を流す第 2 電流回路 4 が接続されている。

読み出し部の一部である第 1 定電圧部としての定電圧回路 5 は、第 1 電流回路 3 及び第 2 電流回路 4 と接続されている。更に、配線 3 5 及び配線 3 6 と接続されている。本回路は、選択ビット線 3 3 s 及び参照ビット線 3 4 に所定の電圧 V_c を印加する。定電圧回路 5 は、差動増幅器 D 1 とトランジスタ M 1 とで構成されるクランプ回路に例示される。

読み出し部の一部である第 1 電流部としての第 1 電流回路 3 は、一方を配線 3 5 の途中であって、定電圧回路 5 と第 2 電源 V_{dd} との間に接続され、他方を配線 3 7 の途中に接続されている。(配線 3 5 - 選択ビット線 3 3 s - 選択セル 2 1 s) と (配線 3 7 - TMR 列 A 1 1) とに同じセンス電流 I_s を流す。第 1 電流回路 3 は、配線 3 5 に接続されたトランジスタ M 3 と配線 3 7 に接続されたトランジスタ M 4 とで構成されるカレントミラー回路に例示される。

読み出し部の一部である第 2 電流部としての第 2 電流回路 4 は、一方を配線 3 6 の途中であって、定電圧回路 5 と第 2 電源 V_{dd} との間に接続され、他方を配線 3 8 の途中に接続されている。(配線 3 6 - 参照ビット線 3 4 - 参照セル 2 2) と (配線 3 8 - TMR 列 B 1 2) とに同じ参照電流 I_{ref} を流す。第 2 電流回路 4 は、配線 3 6 に接続されたトランジスタ M 5 と配線 3 8 に接続されたトランジスタ M 6 とで構成されるカレントミラー回路に例示される。

比較器 1 3 は、第 1 電流回路 3 のトランジスタ M 4 及び第 2 電流回路 4 のトランジスタ M 6 のそれぞれのドレイン端子に生成されるセンス電

圧 I_s 及び参照電圧 I_{ref} の大小を比較し、読み出し結果として出力する。

次に、本発明の磁気ランダムアクセスメモリの第5の実施の形態の動作について説明する。ここでは、磁気ランダムアクセスメモリの読み出し動作について説明する。

まず、読み出しXセクタ29は、選択読み出しワード線32sに読み出し電位を印加し、複数の読み出しワード線32の内の選択読み出しワード線以外の非選択読み出しワード線32を開放する。これにより、MOSトランジスタ26及び参照MOSトランジスタ26rがONになる。

読み出しYセクタ23は、選択ビット線33s及び参照ビット線34を、それぞれ配線35及び配線36に接続する。これにより、選択ビット線33sは、及び3に接続される。同様に、参照ビット線34は、第1定電圧電源5及び第2電流回路4に接続される。第2電源Vddに接続するそれぞれ読み出し回路1のTMR列A11の第9端子及びTMR列B12の第11端子に接続する。

このとき、第2電源Vdd－第1電流回路3（トランジスタM3）－第1定電圧電源5（トランジスタM1）－選択ビット線33s－選択セル21s（磁気抵抗素子27）－接地、の第3接続が形成される。同様に、第2電源Vdd－第2電流回路4（トランジスタM5）－第1定電圧電源5（トランジスタM2）－参照ビット線34－選択参照セル22s（参照磁気抵抗素子27r）－接地、の第4接続が形成される。

第2電源Vddの電位により、上記第3接続に選択セル21sの磁気抵抗素子27に格納されたデータに対応したセンス電流 I_s が流れる。それに基づいて、第1電流回路3（カレントミラー回路）により、第2電源Vdd－第1電流回路3（トランジスタM4）－TMR列A11（磁気抵抗素子42、磁気抵抗素子41）－接地、の第5接続にも同じ

センス電流 I_s が流れる。そのとき、接続点 A の電位をセンス電位 V_s とする。

同様に、第 2 電源 V_{dd} の電位により、上記第 4 接続に選択参照セル 22s の参照磁気抵抗素子 27r に格納されたデータに対応した参照電流 I_r が流れる。それに基づいて、第 2 電流回路 4（カレントミラー回路）により、第 2 電源 V_{dd} - 第 2 電流回路 4（トランジスタ M6） - TMR 列 B12（磁気抵抗素子 45、磁気抵抗素子 44） - 接地、の第 6 接続にも同じ参照電流 I_r が流れる。そのとき、接続点 B の電位を参照電位 V_{ref} とする。そして、比較器 13 は、センス電位 V_s と参照電位 V_{ref} との差に基づいて、読み出し結果を出力する。

以上の読み出し動作により、磁気ランダムアクセスメモリの選択セル 21s のデータを読み出すことができる。

本実施例では、メモリセル 21、参照セル 22、負荷抵抗（TMR 列 A11 及び TMR 列 B12）に用いられている磁気抵抗素子は全て実質的に同一である。ここで、データ “1” を格納した磁気抵抗素子にかかる電圧を $V(1)$ 、データ “0” を格納した磁気抵抗素子にかかる電圧を $V(0)$ 、MR 比を MR とした場合、選択ビット線の電圧、即ち、センス電圧 V_s と、参照電圧 V_{ref} は、以下の式で表される。

$$V_s(0) = 2(1 + MR) \cdot V_c, \quad V_s(1) = 2 \cdot V_c \quad (7)$$

$$V_{ref} = 2(1 + 0.5 \cdot MR) \cdot V_c \quad (8)$$

このとき、本実施例を $V_c = 0.3V$ として、シミュレーションを行った。その結果を図 14 及び図 15 に示す。

図 14 は、センス電圧及び参照電圧の MR 比依存性を示すグラフである。縦軸はセンス電圧 V_s 及び参照電圧 V_{ref} 、横軸は MR 比である。式 (7) 及び (8) より、MR 比の変化によらず、 V_{ref} は、常に概

ね $V_s(1)$ と $V_s(0)$ との中間の値をとることがわかる。即ち、MR比によらず、最適な参照電圧を維持することが可能となる。

図15は、センス電圧及び参照電圧の磁気抵抗素子の抵抗値依存性を示すグラフである。磁気抵抗素子の抵抗値は、温度により上昇する。磁気抵抗素子の温度依存性に関わらず、 V_{ref} は、常に概ね $V_s(1)$ と $V_s(0)$ との中間の値をとることがわかる。即ち、磁気抵抗素子の温度変化によらず、最適な参照電圧を維持することが可能となる。

このシミュレーション結果、及び式(3)、(7)、(8)より、MR比と磁気抵抗素子の抵抗値の両方に依存することなく $k=0.5$ である。これは、先述した最も読み出しの信頼性を高める $k \leq 0.49$ ではないが、後述するトリミング回路を付加すれば $k \leq 0.49$ に調整することが可能である。また、参照セルに必要な TMR は1つで良いことから、メモリアレイ内の参照セル占有面積を最小限にでき、参照セルの TMR ショートに伴うワード線不良も最小限に抑えることができる。

15 本発明により、センス電圧 $V_s(1)$ 及び $V_s(0)$ と参照電圧 V_{ref} との関係を、磁気抵抗素子の抵抗値の変化（印加電圧による変化、温度による変化）に依存しないものにすることが出来る。従って、各磁気抵抗素子には、約 $V_p/3$ の電圧が均等に印加される。そのため、図2で説明されたような TMR 素子特有のバイアス依存性の影響をほとんど受けない。すなわち、高い信頼性を有する読み出し動作が可能となる。

本発明により、参照セル22に必要な磁気抵抗素子が1つで良いことから、メモリアレイ2内の参照セル占有面積を最小限にでき、参照セル22の磁気抵抗素子27rのショートに伴うワード線不良も抑制することが出来る。

25 (第6の実施の形態)

次に、本発明の磁気ランダムアクセスメモリの第6の実施の形態について説明する。

まず、本発明の磁気ランダムアクセスメモリの第6の実施の形態の構成について説明する。

図16は、本発明の磁気ランダムアクセスメモリの第6の実施の形態の構成図である。本実施の形態では、第5の実施の形態（図13）と比較して、TMR列A11がTMR列C11aに変わっている点と、参照セル22に定常的にデータ“1”が格納されている点で図13と異なる。TMR列C11aは、磁気抵抗素子41及び磁気抵抗素子42に、いずれも定常的にTMRが平行状態であるデータ“0”を格納している。TMR列B12aはTMR列B12と同じであり、図16のその他の構成も、第5の実施の形態（図13）と同様であり、その説明を省略する。

本発明の磁気ランダムアクセスメモリの第6の実施の形態の動作については、第5の実施の形態同様であるのでその説明を省略する。

この場合も、全ての磁気抵抗素子に約 $V_p/3$ の電圧が均等に印加される。そのため、バイアス依存性の影響をほとんど受けない。ここで、選択ビット線電圧、即ち、センス電圧 V_s と、参照電圧 V_{ref} は以下の式で表される。

$$V_s(0) = 2 \cdot V_c, \quad V_s(1) = 2 \cdot V_c / (1 + MR) \quad (7a)$$

$$V_{ref} = (2 + MR) \cdot V_c / (1 + MR) \quad (8a)$$

図8の場合と同様にして、シミュレーション結果及び式(7a)、(8a)より、MR比の変化によらず、 V_{ref} は、常に概ね $V_s(1)$ と $V_s(0)$ との中間の値をとる。即ち、MR比によらず、最適な参照電圧を維持することが可能となる。更に、磁気抵抗素子の温度依存性に関わらず、 V_{ref} は、常に概ね $V_s(1)$ と $V_s(0)$ との中間の値をとる。即ち、磁気抵抗素子の温度変化によらず、最適な参照電圧を維持することが可能となる。

ただし、シミュレーション結果、及び式 (3)、(7 a)、(8 a) より、MR 比と磁気抵抗素子の抵抗値の両方に依存することなく $k = 0.5$ である。これは、先述した最も読み出しの信頼性を高める $k \leq 0.49$ ではないが、後述するトリミング回路を付加すれば $k \leq 0.49$ に調整することが可能である。

(第 7 の実施の形態)

次に、本発明の磁気ランダムアクセスメモリの第 7 の実施の形態について説明する。

まず、本発明の磁気ランダムアクセスメモリの第 7 の実施の形態の構成について説明する。

図 17 は、本発明の磁気ランダムアクセスメモリの第 7 の実施の形態の構成図である。本実施の形態では、第 5 の実施の形態 (図 16) と比較して、以下の点が異なる。比較器 13 の接続点 A に対して配線 37 と並列に配線 39 が設けられている。比較器 13 の接続点 B に対して配線 38 と並列に配線 40 が設けられている。

ただし、配線 39 は、一端を第 2 電源 V_{dd} に、他端を接続点 A に接続している。そして、その途中に、第 1 補助回路 6 を含む。配線 40 は、一端を第 2 電源 V_{dd} に、他端を接続点 B に接続している。そして、その途中に、第 2 補助回路 7 を含む、図 17 のその他の構成は、第 5 の実施の形態 (図 16) と同様であり、その説明を省略する。

読み出し部の一部である第 1 補助部としての第 1 補助回路 6 は、配線 39 の途中に設けられている。接続点 A - 配線 37 - TMR 配列 A11 へ付加的に電流 β を流す。第 1 補助回路 6 は、トリミング回路に例示され、トランジスタ M8 と、スイッチとを含む。トランジスタ M8 は、ゲート電極を第 1 電流回路 3 のトランジスタ M3 及び M4 のゲート電極に接続され、ゲート電極以外の方の電極を接続点 A に、他端をスイッチを介して第 2 電源 V_{dd} に接続している。

読み出し部の一部である第2補助部としての第2補助回路7は、配線40の途中に設けられている。接続点B－配線38－TMR配列B12へ付加的に電流 α を流す。第2補助回路7は、トリミング回路に例示され、トランジスタM7と、スイッチとを含む。トランジスタM7は、ゲート電極を第2電流回路4のトランジスタM5及びM6のゲート電極に接続され、ゲート電極以外の方の電極を接続点Bに、他端をスイッチを介して第2電源Vddに接続している。

次に、本発明の磁気ランダムアクセスメモリの第7の実施の形態の動作については、以下のように読み出し回路1に流れる電流が微調整される点以外は、第5の実施の形態と同様であるので、その説明を省略する。

すなわち、第2電源Vdd－第1電流回路3（トランジスタM3）－第1定電圧電源5（トランジスタM1）－選択ビット線33s－選択セル21s（磁気抵抗素子27）－接地にセンス電流 I_s が流れる際、第2電源Vdd－第1電流回路3（トランジスタM4）－接続点Aに、センス電流 I_s が流れると共に第2電源Vdd－第1補助回路6（トランジスタM8）－接続点Aに、微小な調整用の電流 β が流れる。結果として、接続点A－TMR列A11（磁気抵抗素子42、磁気抵抗素子41）－接地に、センス電流 $I_s + \beta$ の電流が流れる。

同様に、第2電源Vdd－第2電流回路4（トランジスタM5）－第1定電圧電源5（トランジスタM2）－参照ビット線34－選択参照セル22s（磁気抵抗素子27r）－接地に参照電流 I_r が流れる際、第2電源Vdd－第2電流回路4（トランジスタM6）－接続点Bに、参照電流 I_r が流れると共に第2電源Vdd－第2補助回路7（トランジスタM7）－接続点Bに、微小な調整用の電流 α が流れる。結果として、接続点B－TMR列B12（磁気抵抗素子45、磁気抵抗素子44）－接地に、参照電流 $I_r + \alpha$ の電流が流れる。

トランジスタM7及びトランジスタM8は、第5の実施の形態におい

て、 $k \leq 0.49$ となるように参照電圧を微調整する目的で付加されており、そのゲート幅 W とゲート長 L の比 (W/L) は十分小さい値が好ましい。

5 スイッチを制御して、トランジスタ $M7$ 及びトランジスタ $M8$ のいずれか一方だけを用いてもよい。トランジスタ $M7$ 及びトランジスタ $M8$ の少なくとも一方を複数設けることも可能であり、それらをスイッチを制御して、同時に複数選択しても良い。

10 本発明により、第5の実施の形態や第6の実施の形態においても、 $k \leq 0.49$ とすることが出来る。すなわち、磁気抵抗素子に印加される電圧や温度の影響を受けない最適な参照電圧を得ることが可能となる。

補助回路を用いる本実施の形態は、本明細書中に述べられる他の実施の形態においても、適用することが出来る。そして、同様の効果を得ることが出来る。

(第8の実施の形態)

15 次に、本発明の磁気ランダムアクセスメモリの第8の実施の形態について説明する。

まず、本発明の磁気ランダムアクセスメモリの第8の実施の形態の構成について説明する。

20 図18は、本発明の磁気ランダムアクセスメモリの第8の実施の形態の更に他の構成を示す図である。図13と比較して、読み出し回路1bにおいて以下の点で異なる。すなわち、TMR列 $A11-i$ ($i=1 \sim n$: 自然数) とスイッチ $14-i$ ($i=1 \sim n$: 自然数) とが直列に接続された組が複数存在する。複数の組の各々は、互いに並列に接続される。そして、その一端を配線37に、他端を接地に接続している。同様に、TMR列 $B12-j$ ($j=1 \sim m$: 自然数) とスイッチ $15-j$ ($j=1 \sim m$: 自然数) とが直列に接続された組が複数存在する。複数の組の各々は、互いに並列に接続される。そして、その一端を配線38

に、他端を接地に接続している。

この場合の読み出し回路 1 b は、各 T M R 列内の磁気抵抗素子が破損している場合や適切な値を示さない場合、読み出し歩留まりをより向上させたい場合に備えて、予備の T M R 列を提供できるようになっている。

- 5 すなわち、読み出し動作時、又は、事前にスイッチ 1 4 - i とスイッチ 1 5 - j とにより、使用する T M R 列 A 1 1 - i 及び T M R 列 B 1 2 - j を決めて、それを用いることにする。

その他の構成については、第 5 の実施の形態（図 1 3）と同様であり、その説明を省略する。

- 10 本発明の磁気ランダムアクセスメモリの第 8 の実施の形態の動作については、第 5 の実施の形態同様であるのでその説明を省略する。

本発明により、図 1 3 の場合の効果のほか、T M R 列内の磁気抵抗素子が破損している場合や適切な値を示さない場合、読み出し歩留まりをより向上させたい場合でも、他の T M R 列を用いることで、読み出し動作時の信頼性を向上させることが可能となる。

- 15

複数の T M R 列を用いる本実施の形態は、本明細書中に述べられる他の実施の形態においても、適用することが出来る。そして、同様の効果を得ることが出来る。

（第 9 の実施の形態）

- 20 次に、本発明の磁気ランダムアクセスメモリの第 9 の実施の形態について説明する。

まず、本発明の磁気ランダムアクセスメモリの第 9 の実施の形態の構成について説明する。

- 25 図 1 9 は、本発明の磁気ランダムアクセスメモリの第 9 の実施の形態の更に他の構成を示す図である。図 1 3 と比較して、メモリセルアレイ 2 a において、以下の点で異なる。すなわち、参照ビット線 3 4 及びそれに沿って存在する参照セル 2 2 がない。従って、読み出し Y セレクタ

2 3 は参照ビット線 3 4 を選択しない。それらに代わって、複数の参照用磁気抵抗素子 4 7、参照セルセクタ 8、トランジスタ M 1 0 が設けられている。

トランジスタ M 1 0 は、定電圧回路 5 に接続される配線 3 6 a に接続
5 されている。そのゲートに入力される制御信号により、読み出し動作時に、定電圧回路 5 及び第 2 電流回路 4 と参照用磁気抵抗素子 4 7 とを接続する。制御信号を入力されるゲートと、配線 3 6 a へ接続されたゲート以外の方の端子としての第 1 接続端子と、複数の参照用磁気抵抗素子 4 7 - k へ接続された他方の端子としての第 2 接続端子とを備える。

10 参照用磁気抵抗素子 4 7 - k ($k = 1 \sim p$; 自然数) 及び参照セルセクタ 8 は、第 4 の実施の形態と同様であるので、その説明を省略する。

本発明の磁気ランダムアクセスメモリの第 9 の実施の形態の動作については、参照セル 2 2 の代わりに参照磁気抵抗素子 4 7 を用いること、参照磁気抵抗素子 4 7 の選択は、トランジスタ M 1 0 及び参照セルセ
15 クタ 8 とで行うこと以外は、第 5 の実施の形態同様であるのでその説明を省略する。

本発明により、図 1 3 の場合の効果のほか、参照用の磁気抵抗素子が破損している場合や適切な値を示さない場合、読み出し歩留まりをより向上させたい場合でも、他の T 参照用の磁気抵抗素子を用いることで、
20 読み出し動作時の信頼性を向上させることが可能となる。

複数の参照用磁気抵抗素子を用いる本実施の形態は、本明細書中に述べられる他の実施の形態においても、適用することが出来る。そして、同様の効果を得ることが出来る。

本発明において、メモリセルアレイは、上述のメモリセルアレイ 2、
25 2 a に制限されることはない。例えば、第 5 から第 9 の実施の形態については、図 2 0 に示すクロスポイントセルを用いた M R A M に適用することが出来る。

図 2 0 は、クロスポイントセルアレイ 2 b を示す図である。クロスポイントセルアレイ 2 b は、複数のメモリセル 7 2 と、複数の参照セル 7 2 r と、ワード線 7 3 と、ビット線 7 4 と、Yセクタ 7 8 と、Xセクタ 7 9 とを具備する。ビット線 7 4 は、第 1 方向（Y 方向）に延伸する。ワード線 7 3 は、第 1 方向（Y 方向）に実質的に垂直な第 2 方向（X 方向）に延伸する。Yセクタ 7 8 は、複数のビット線 7 4 から選択ビット線 7 4 s を選択し、読み出し動作時に、参照ビット線 7 4 r を選択する。Xセクタ 7 9 は、複数のビット線 7 4 から選択ビット線 7 4 s を選択する。複数のメモリセル 7 2 の各々は、複数のビット線 7 4 と複数のワード線 7 3 とが交差する位置のそれぞれに対応して設けられている。第 1 磁気抵抗素子 7 7 が、ワード線 7 3 に接続された一方の端子としての第 1 端子と、ビット線 7 4 に接続された他方の端子としての第 2 端子を含む。複数の参照セル 7 2 r の各々は、参照ビット線 7 4 r と複数のワード線 7 3 とが交差する位置のそれぞれに対応して設けられている。参照用磁気抵抗素子 7 7 r が、ワード線 7 3 に接続された一方の端子としての第 3 端子と、参照ビット線 7 4 r に接続された他方の端子としての第 4 端子を含む。

本発明において、メモリセルアレイは、上述のメモリセルアレイ 2、2 a に制限されることはない。例えば、第 1 から第 9 の実施の形態について、図 2 1 に示す 2 個のトランジスタと 1 個の磁気抵抗素子を用いた M R A M でもよい。

図 2 1 は、他のメモリセルアレイ 2 c を示す図である。

メモリセルアレイの 2 c は、複数のメモリセル 5 2 と、複数の参照セル 5 2 r と、複数の第 1 ビット線 5 4 と、複数の第 2 ビット線 5 5 と、複数のワード線 5 3 と、Yセクタ 6 2 と、Y側電流終端回路 6 1 と、Xセクタ 5 8 と、Y側電流源回路 6 3 を具備する。複数の第 1 ビット線 5 4 は、第 1 方向（Y 方向）に延伸する。複数の第 2 ビット線 5 5 は、

複数の第1ビット線54の各々と対をなし、第1方向(Y方向)に延伸する。複数のワード線53は、第1方向(Y方向)に実質的に垂直な第2方向(X方向)に延伸する。Yセクタ62は、複数の第1ビット線54から選択ビット線54sを選択する。Y側電流終端回路61は、複数の第2ビット線55から選択第2ビット線55sを選択する。Xセクタ58は、複数のワード線53から選択ワード線53sを選択する。Y側電流源回路63は書き込み動作時に第2ビット線55-磁気抵抗素子57-第1ビット線54の経路に電流を流す。

複数のメモリセル52の各々は、第1磁気抵抗素子57と、第1トランジスタ56と、第2トランジスタ66とを備える。第1トランジスタ56は、ワード線53に接続された第1ゲートと、第1ビット線54に接続された第1ゲート以外の方の端子としての第1端子と、他方の端子としての第2端子とを含む。第2トランジスタ66は、第1ワード線54に接続された第2ゲートと、第2ビット線55に接続された第2ゲート以外の方の端子としての第5端子と、第2端子に接続された他方の端子としての第6端子とを含む。複数のメモリセル52の各々は、複数の第1ビット線54及び複数の第2ビット線55と複数のワード線53とが交差する位置のそれぞれに対応して設けられている。第1磁気抵抗素子57が、一方の端子としての第3端子を接地に、他方の端子としての第4端子を第2端子に接続されている。複数の参照セル52rの各々は、参照磁気抵抗素子57r、第3トランジスタ56rと、第4トランジスタ66rとを備える。第3トランジスタ56rは、ワード線53に接続された第3ゲートと、第1ビット線54に接続された第3ゲート以外の方の端子としての第7端子と、他方の端子としての第8端子とを含む。第4トランジスタ66rは、ワード線53に接続された第4ゲートと、第2ビット線55に接続された第4ゲート以外の方の端子としての第11端子と、第8端子に接続された他方の端子としての第1

2 端子とを含む。複数の参照セル 5 2 r の各々は、参照第 1 ビット線 5 4 r 及び参照第 2 ビット線 5 5 r と複数のワード線 5 3 とが交差する位置のそれぞれに対応して設けられている。参照磁気抵抗素子 5 7 r が、一方の端子としての第 9 端子を接地に、他方の端子としての第 1 0 端子
5 を第 8 端子に接続している。

本発明によれば、磁気抵抗素子を利用した半導体記憶装置（M R A M）において、メモリセルの記憶情報を判別するための参照電圧を自動的に最適な値にすることが出来る。それにより、読み出しの信頼性を高めることができる。

10 また、全ての磁気抵抗素子に均等に電圧が印加されるため、磁気抵抗素子特有のバイアス依存性によらず、参照電圧を最適な値にすることが可能である。

また、磁気抵抗素子（T M R 素子）の抵抗値や M R 比の大小に関わらず、参照電圧を最適な値にすることが可能である。従って、使用時の温度に依存することなく、上記参照電圧は最適な値を保持でき、読み出し
15 の信頼性を損なうことはない。

また、参照セルはユーザエリアのメモリセルと同様の構成にすることができ、参照セルの占有面積が削減できる。さらに、磁気抵抗素子のショート等によるワード線不良の数を減少させることができる。また、負
20 荷抵抗に磁気抵抗素子（T M R 素子）を用いることで、読み出し回路の面積を小さくできる。

本発明により、磁気ランダムアクセスメモリにおけるメモリセルに記憶されているデータを高い信頼性で判別し、読み出すことが可能となる。

請求の範囲

1. 第1方向に延伸する複数のビット線と、
前記第1方向に延伸する参照ビット線と、
5 前記複数のビット線の各々に沿って設けられた複数のメモリセルと、
前記参照ビット線に沿って設けられた複数の参照セルと、
読み出し部と
を具備し、
前記複数のメモリセルの各々は、
10 記憶されるデータに応じて磁化方向が反転して第1状態又は第2状態
となる自発磁化を有し、読み出し動作時に前記ビット線に接続されてい
る第1磁気抵抗素
子を備え、
前記複数の参照セルの各々は、
15 記憶されるデータに応じて磁化方向が反転して前記第1状態又は前記
第2状態となる自発磁化を有し、読み出し動作時に前記参照ビット線に
接続されている参照用磁気抵抗素子を備え、
前記読み出し部は、
読み出し動作時に前記複数のビット線から選択された選択ビット線に
20 接続されている一方の端子としての第9端子と、第1電源に接続された
他方の端子としての第10端子とを含み、第1抵抗値を有する第1抵抗
部と、
読み出し動作時に前記参照ビット線に接続されている一方の端子とし
ての第11端子と、前記第1電源に接続された他方の端子としての第1
25 2端子とを含み、第1抵抗値と異なる第2抵抗値を有する第2抵抗部と、
前記第9端子の電位としてのセンス電位と、前記第11端子の電位と
しての参照電位とを比較する比較部と

を備える

磁気ランダムアクセスメモリ。

2. 請求の範囲第1項に記載の磁気ランダムアクセスメモリにおいて、
5 選択セルに記憶されている前記データの読み出しのとき、

前記読み出し部は、前記第1電源の電位を、前記選択セルの前記第1
磁気抵抗素子と前記第1抵抗部とで分圧して前記センス電位とし、前記
第1電源の電位を、選択参照セルの前記参照用磁気抵抗素子と前記第2
抵抗部とで分圧して前記参照電位とし、前記センス電位と前記参照電位
10 との比較結果を出力し、

ここで、前記選択セルは前記複数のメモリセルから選択され、前記選
択参照セルは前記複数の参照セルから選択される

磁気ランダムアクセスメモリ。

15 3. 請求の範囲第1項に記載の磁気ランダムアクセスメモリにおいて、
前記第1抵抗部は、

磁化方向が反転して前記第1状態又は前記第2状態となる自発磁化を
有し、直列に接続された第2磁気抵抗素子及び第3磁気抵抗素子を備え、
前記第2抵抗部は、

20 磁化方向が反転して前記第1状態又は前記第2状態となる自発磁化を
有し、直列に接続された第4磁気抵抗素子及び第5磁気抵抗素子を備え
る

磁気ランダムアクセスメモリ。

25 4. 請求の範囲第3項に記載の磁気ランダムアクセスメモリにおいて、

前記参照用磁気抵抗素子、前記第1磁気抵抗素子、前記第2磁気抵抗
素子、前記第3磁気抵抗素子、前記第4磁気抵抗素子及び前記第5磁気

抵抗素子は、実質的に同じ構造であり、

前記第 2 磁気抵抗素子と前記第 3 磁気抵抗素子とは、自発磁化の磁化方向が同じであり、

前記第 4 磁気抵抗素子と前記第 5 磁気抵抗素子とは、自発磁化の磁化

5 方向が異なる

磁気ランダムアクセスメモリ。

5. 請求の範囲第 1 項に記載の磁気ランダムアクセスメモリにおいて、

前記第 9 端子と前記複数のメモリセルとの間に接続され、前記複数の

10 メモリセルに所定の基準電圧よりも大きい電圧がかからないようにする
破壊電圧防止回路

を更に具備する

磁気ランダムアクセスメモリ。

15 6. 請求の範囲第 1 項に記載の磁気ランダムアクセスメモリにおいて、
前記読み出し部は、

前記第 9 端子と前記複数のメモリセルとの間、及び、前記第 11 端子と前記複数の参照セルとの間に第 2 電位を印加する第 1 定電圧部と、

前記第 1 定電圧部と前記第 9 端子との間に設けられ、前記選択ビット

20 ト線と前記第 1 抵抗部とに同じ大きさの電流を供給する第 1 電流部と、

前記第 1 定電圧部と前記第 11 端子との間に設けられ、前記参照ビット線と前記第 2 抵抗部とに同じ大きさの電流を供給する第 2 電流部と

を更に備える

磁気ランダムアクセスメモリ。

25

7. 請求の範囲第 6 項に記載の磁気ランダムアクセスメモリにおいて、
選択セルに記憶されている前記データの読み出しのとき、

前記読み出し部は、前記第 1 定電圧部が、それぞれ選択ビット線及び前記参照ビット線に前記第 2 電位を印加し、前記第 1 電流部が、前記選択ビット線と前記選択セル及び前記第 1 抵抗部へ同じ大きさのセンス電流を流し、前記第 2 電流部が、前記参照ビット線と選択参照セル及び前記第 2 抵抗部へ同じ大きさの参照電流を流し、前記第 1 電流部と前記第 1 抵抗部との間の電位を前記センス電位とし、前記第 2 電流部と前記第 2 抵抗部との間の電位を前記参照電位とし、前記センス電位と前記参照電位との比較結果を出力し、

ここで、前記選択ビット線は前記複数のビット線から選択され、前記選択セルは前記複数のメモリセルから選択され、前記選択参照セルは前記複数の参照セルから選択される

磁気ランダムアクセスメモリ。

8. 請求の範囲第 6 項に記載の磁気ランダムアクセスメモリにおいて、

前記第 1 定電圧部は、クランプ回路を含む

磁気ランダムアクセスメモリ。

9. 請求の範囲第 6 項に記載の磁気ランダムアクセスメモリにおいて、

前記第 1 電流部及び前記第 2 電流部のうちの少なくとも一方は、カレントミラー回路を含む

磁気ランダムアクセスメモリ。

10. 請求の範囲第 6 項に記載の磁気ランダムアクセスメモリにおいて、

前記読み出し部は、第 1 補助部及び第 2 補助部のうちの少なくとも一

方を更に備え、

ここで、前記第 1 補助部は、前記第 9 端子に接続され、前記センス電圧を変更可能であり、

前記第 2 補助部は、前記第 1 1 端子に接続され、前記参照電圧を変更可能である

磁気ランダムアクセスメモリ。

- 5 1 1. 請求の範囲第 1 0 項に記載の磁気ランダムアクセスメモリにおいて、

前記第 1 補助部及び前記第 2 補助部のうちの少なくとも一方は、トリミング回路を含む

磁気ランダムアクセスメモリ。

10

- 1 2. 請求の範囲第 1 項に記載の磁気ランダムアクセスメモリにおいて、

前記複数の参照セルは、前記参照磁気抵抗素子に直列に接続した第 1 スイッチを更に備え、前記参照ビット線に対して互いに並列に接続され、

前記複数の参照セルのうちの 하나가、読み出し動作に用いる選択参照

- 15 セルとして、前記第 1 スイッチにより選択される

磁気ランダムアクセスメモリ。

- 1 3. 請求の範囲第 1 項に記載の磁気ランダムアクセスメモリにおいて、前記第 1 抵抗部は、複数あり、

- 20 複数の前記第 1 抵抗部の各々は、前記第 9 端子及び前記第 1 0 端子に接続され、前記第 9 端子側及び前記第 1 0 端子側のいずれか一方に第 2 スイッチを備え、

前記複数の前記第 1 抵抗部のうちの 하나가、読み出し動作に用いる第 1 抵抗部として、前記第 2 スイッチにより選択される

- 25 磁気ランダムアクセスメモリ。

- 1 4. 請求の範囲第 1 項に記載の磁気ランダムアクセスメモリにおいて、

前記第 2 抵抗部は、複数あり、

複数の前記第 2 抵抗部の各々は、前記第 1 1 端子及び前記第 1 2 端子に接続され、前記第 1 1 端子側及び前記第 1 2 端子側のいずれか一方に第 3 スイッチを備え、

- 5 前記複数の前記第 2 抵抗部のうちの 하나가、読み出し動作に用いる第 2 抵抗部として、前記第 3 スイッチにより選択される磁気ランダムアクセスメモリ。

- 1 5 . 請求の範囲第 1 項に記載の磁気ランダムアクセスメモリにおいて、
10 下記 (1) 式において、前記参照電圧を V_{ref} 、前記第 1 状態での前記センス電圧を $V_s(1)$ 、前記第 2 状態の前記センス電圧を $V_s(2)$ としたとき、

$$V_{ref} = V_s(1) + k \cdot (V_s(2) + V_s(1))$$

(1)

- 15 変数 k は、 $k \leq 0.49$ となる磁気ランダムアクセスメモリ。

- 1 6 . 請求の範囲第 1 項に記載の磁気ランダムアクセスメモリにおいて、
前記第 1 方向に実質的に垂直な第 2 方向に延伸する第 1 ワード線と第
20 2 ワード線との複数のワード線対と、

読み出し動作時に、前記複数のビット線から選択ビット線を選択し、前記参照ビット線を選択する第 1 セレクタと、

書き込み動作時に、前記複数のビット線から選択ビット線を選択する第 2 セレクタと、

- 25 書き込み動作時に、前記複数の第 1 ワード線から選択第 1 ワード線を選択する第 3 セレクタと、

読み出し動作時に、前記複数の第 2 ワード線から選択第 2 ワード線を

選択する第 4 セレクタと、

を更に具備し、

前記複数のメモリセルの各々は、

前記第 2 ワード線に接続された第 1 ゲートと、前記第 1 ゲート以外
5 の一方の端子としての第 1 端子と、接地に接続された他方の端子としての
の第 2 端子とを含む第 1 トランジスタ

を更に備え、

前記複数のビット線と前記複数のワード線対とが交差する位置のそ
れぞれに対応して設けられ、

10 前記第 1 磁気抵抗素子が、前記第 1 端子に接続された一方の端子と
しての第 3 端子と、前記ビット線に接続された他方の端子としての第 4
端子とを含み、

前記複数の参照セルの各々は、

前記第 2 ワード線に接続された第 2 ゲートと、前記第 2 ゲート以外
15 の一方の端子としての第 5 端子と、接地に接続された他方の端子としての
の第 6 端子とを含む第 2 トランジスタと、

を更に備え、

前記参照ビット線と前記複数のワード線対とが交差する位置のそれ
ぞれに対応して設けられ、

20 前記参照磁気抵抗素子が、前記第 5 端子に接続された一方の端子と
しての第 7 端子と、前記参照ビット線に接続された他方の端子としての
第 8 端子とを含む

磁気ランダムアクセスメモリ。

25 17. 請求の範囲第 16 項に記載の磁気ランダムアクセスメモリにおい
て、

選択セルに記憶されている前記データの読み出しのとき、

前記第 4 セレクタは、選択セルの第 1 トランジスタを導通状態にする電圧を前記選択第 2 ワード線に供給し、前記選択第 2 ワード線以外の非選択第 2 ワード線には非選択セルの第 1 トランジスタを非導通状態にする電圧を供給し、

- 5 前記第 1 セレクタは、前記選択ビット線と前記参照ビット線とを前記読み出し部に接続し、

前記読み出し部は、前記第 1 電源の電位を、前記選択セルの前記第 1 磁気抵抗素子と前記第 1 抵抗部とで分圧して前記センス電位とし、前記第 1 電源の電位を、選択参照セルの前記参照用磁気抵抗素子と前記第 2 抵抗部とで分圧して前記参照電位とし、前記センス電位と前記参照電位との比較結果を出力し、

10

ここで、前記選択セルは、前記選択第 2 ワード線と前記選択ビット線とで前記複数のメモリセルから選択され、前記非選択セルは、前記選択セル以外の前記メモリセルであり、前記選択参照セルは、前記選択第 2

15 ワード線と前記参照ビット線とで前記複数の参照セルから選択される磁気ランダムアクセスメモリ。

- 1 8. 請求の範囲第 1 項に記載の磁気ランダムアクセスメモリにおいて、前記第 1 方向に実質的に垂直な第 2 方向に延伸するワード線と、
- 20 前記複数のビット線から選択ビット線を選択し、読み出し動作時に前記参照ビット線を選択する第 1 セレクタと、

前記複数のワード線から選択ワード線を選択する第 2 セレクタとを更に具備し、

前記複数のメモリセルの各々は、

- 25 前記複数のビット線と前記複数のワード線とが交差する位置のそれぞれに対応して設けられ、

前記第 1 磁気抵抗素子が、前記ワード線に接続された一方の端子と

しての第 1 端子と、前記ビット線に接続された他方の端子としての第 2 端子とを含み、

前記複数の参照セルの各々は、

前記参照ビット線と前記複数のワード線とが交差する位置のそれぞれ

5 に対応して設けられ、

前記参照用磁気抵抗素子が、前記ワード線に接続された一方の端子としての第 3 端子と、前記参照ビット線に接続された他方の端子としての第 4 端子とを含む

磁気ランダムアクセスメモリ。

10

19. 請求の範囲第 18 項に記載の磁気ランダムアクセスメモリにおいて、

選択セルに記憶されている前記データの読み出しのとき、

前記第 2 セレクタは、前記選択ワード線に読み出し電位を印加し、前
15 記複数のワード線の中の前記選択ワード線以外の非選択ワード線を開放し、

前記第 1 セレクタは、前記選択ビット線と前記参照ビット線とを前記読み出し部に接続し、

前記読み出し部は、前記第 1 電源の電位を、選択セルの前記第 1 磁気
20 抵抗素子と前記第 1 抵抗部とで分圧して前記センス電位とし、前記第 1 電源の電位を、選択参照セルの前記参照用磁気抵抗素子と前記第 2 抵抗部とで分圧して前記参照電位とし、前記センス電位と前記参照電位との比較結果を出力し、

ここで、前記選択セルは、前記選択第 2 ワード線と前記選択ビット線
25 とで前記複数のメモリセルから選択され、前記選択参照セルは、前記選択第 2 ワード線と前記参照ビット線とで前記複数の参照セルから選択される

磁気ランダムアクセスメモリ。

20. 請求の範囲第1項に記載の磁気ランダムアクセスメモリにおいて、
前記複数のビット線の各々と対をなし、前記第1方向に延伸する複数

5 の第2ビット線と、

前記第1方向に実質的に垂直な第2方向に延伸する複数のワード線と、
前記複数のビット線から選択ビット線を選択する第1セクタと、
前記複数の第2ビット線から選択第2ビット線を選択する第2セク
タと、

10 前記複数のワード線から選択ワード線を選択する第3セクタと
を更に具備し、

前記複数のメモリセルの各々は、

前記ワード線に接続された第1ゲートと、前記ビット線に接続され
た前記第1ゲート以外の一方向の端子としての第1端子と、他方の端子と
15 としての第2端子とを含む第1トランジスタと、

前記ワード線に接続された第2ゲートと、前記第2ビット線に接続
された前記第2ゲート以外の一方向の端子としての第5端子と、前記第2
端子に接続された他方の端子としての第6端子とを含む第2トランジス
タと、

20 を更に備え、

前記複数のビット線及び前記複数の第2ビット線と前記複数のワー
ド線とが交差する位置のそれぞれに対応して設けられ、

前記第1磁気抵抗素子が、一方の端子としての第3端子を接地に、
他方の端子としての第4端子を前記第2端子に接続され、

25 前記複数の参照セルの各々は、

前記ワード線に接続された第3ゲートと、前記ビット線に接続され
た前記第3ゲート以外の一方向の端子としての第7端子と、他方の端子と

しての第 8 端子とを含む第 3 トランジスタと、

前記ワード線に接続された第 4 ゲートと、前記第 2 ビット線に接続された前記第 4 ゲート以外の一方向の端子としての第 1 1 端子と、前記第 8 端子に接続された他方の端子としての第 1 2 端子とを含む第 4 トランジスタと、

を更に備え、

前記参照ビット線と前記複数のワード線とが交差する位置のそれぞれに対応して設けられ、

前記参照磁気抵抗素子が、一方の端子としての第 9 端子を接地に、
10 他方の端子としての第 1 0 端子を前記第 8 端子に接続されている
磁気ランダムアクセスメモリ。

2 1. 請求の範囲第 2 0 項に記載の磁気ランダムアクセスメモリにおいて、

15 選択セルに記憶されている前記データの読み出しのとき、

前記第 1 セレクタは、前記選択ビット線を選択し、前記複数のビット線のうちの前記選択ビット線以外の非選択ビット線を開放し、

前記第 3 セレクタは、選択セルの第 1 トランジスタ及び第 2 トランジスタを導通状態にする電圧を前記選択ワード線に供給し、前記選択ワード線以外の非選択ワード線には非選択セルの第 1 トランジスタ及び第 2
20 トランジスタを非導通状態にする電圧を供給し、

前記読み出し部は、前記第 1 電源の電位を、前記選択セルの前記第 1 磁気抵抗素子と前記第 1 抵抗部とで分圧して前記センス電位とし、前記第 1 電源の電位を、選択参照セルの前記参照用磁気抵抗素子と前記第 2
25 抵抗部とで分圧して前記参照電位とし、前記センス電位と前記参照電位との比較結果を出力し、

ここで、前記選択セルは、前記選択第 2 ワード線と前記選択ビット線

とで前記複数のメモリセルから選択され、前記非選択セルは、前記選択セル以外の前記メモリセルであり、前記選択参照セルは、前記選択第2ワード線と前記参照ビット線とで前記複数の参照セルから選択される磁気ランダムアクセスメモリ。

Fig. 1

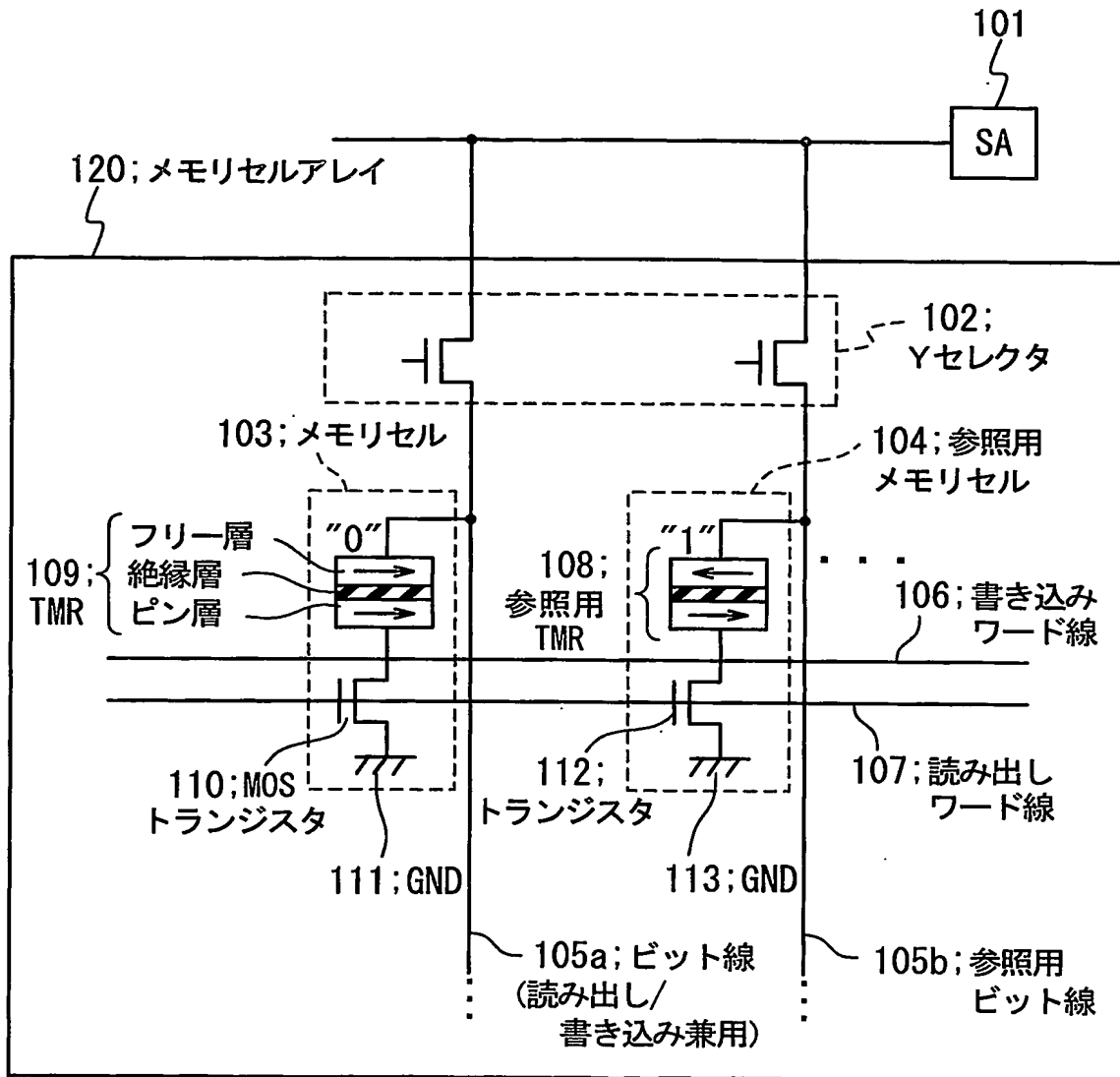


Fig. 2

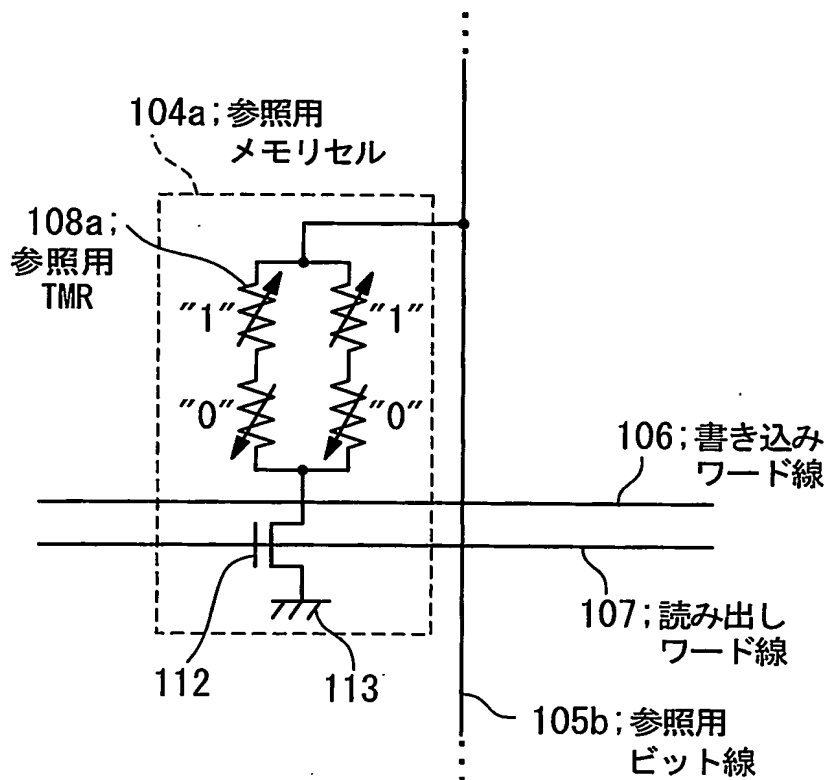


Fig. 3

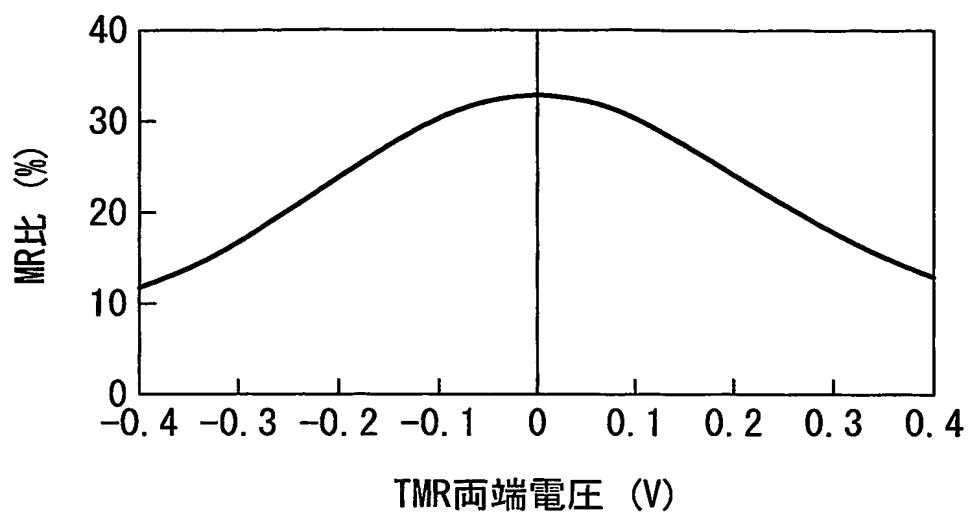


Fig. 4

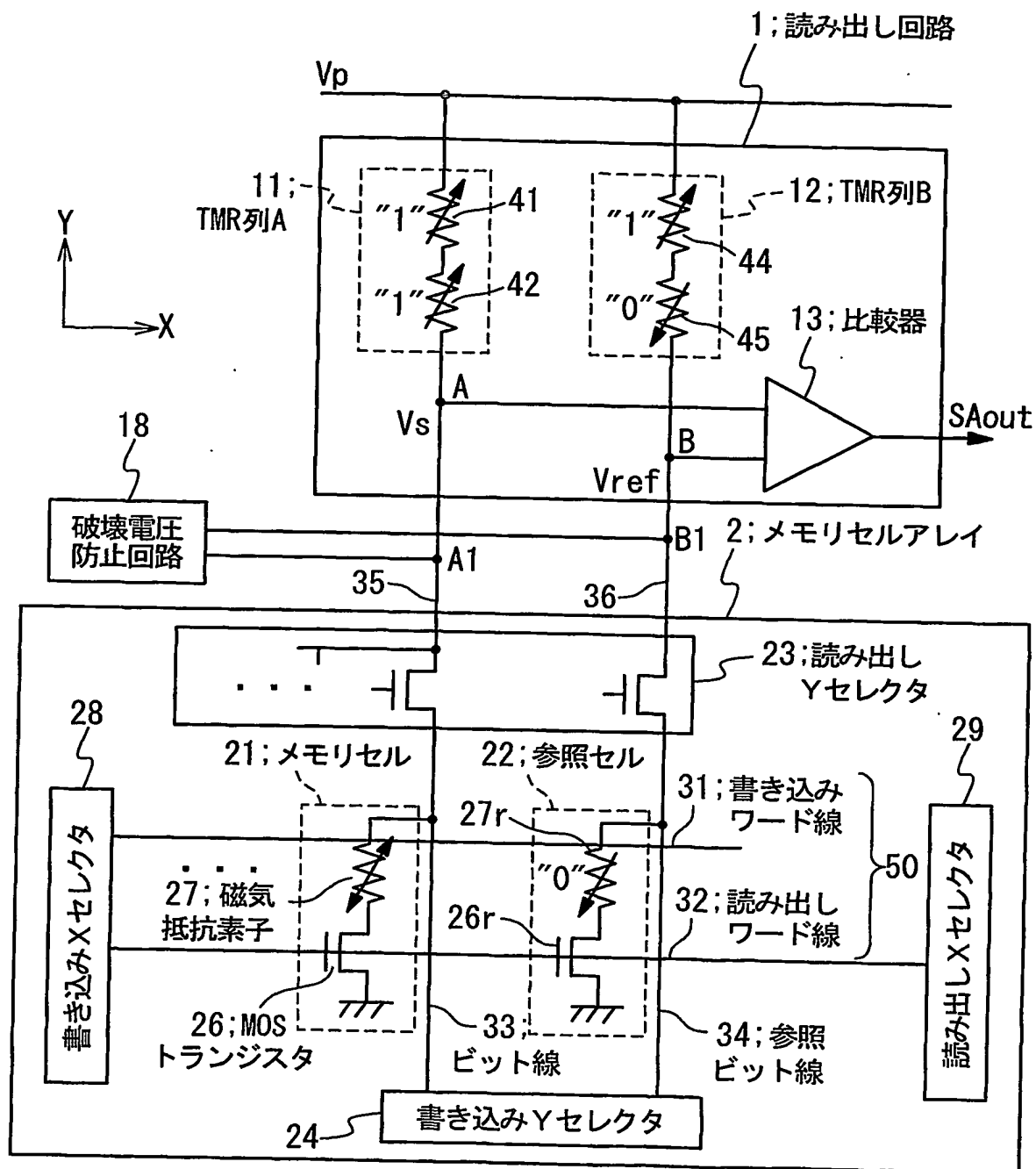


Fig. 5A

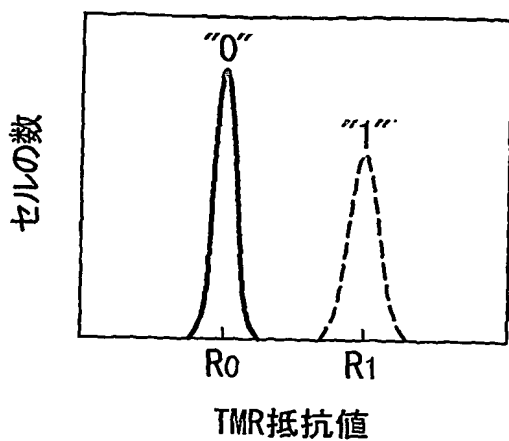


Fig. 5B

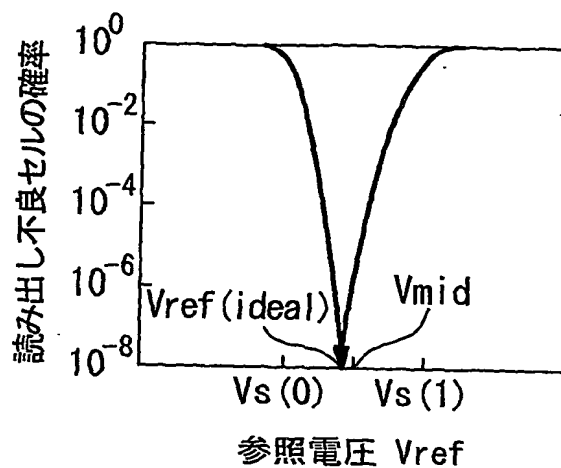


Fig. 6

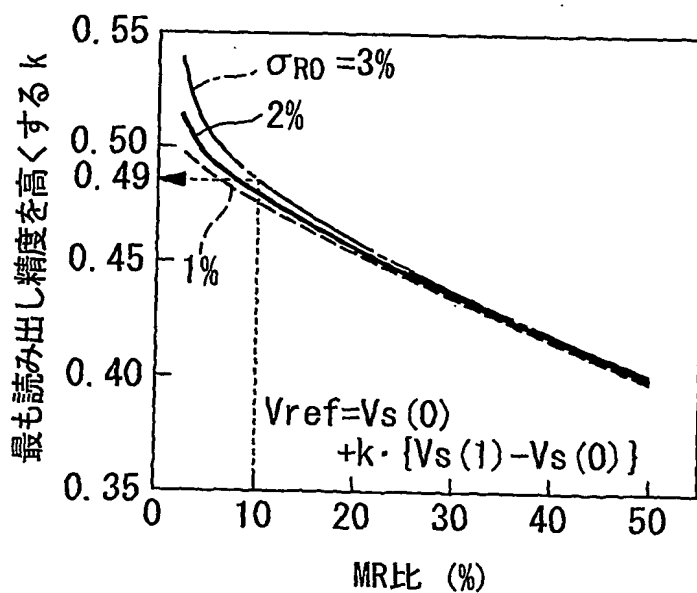


Fig. 7

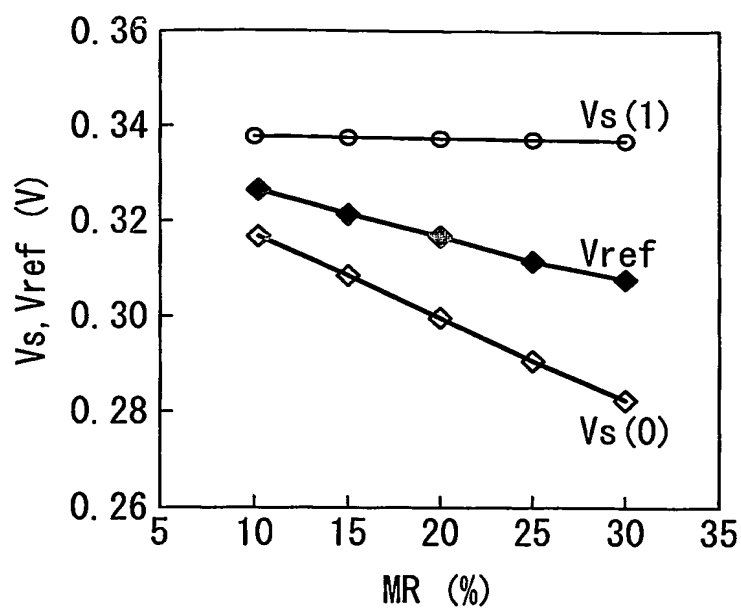


Fig. 8

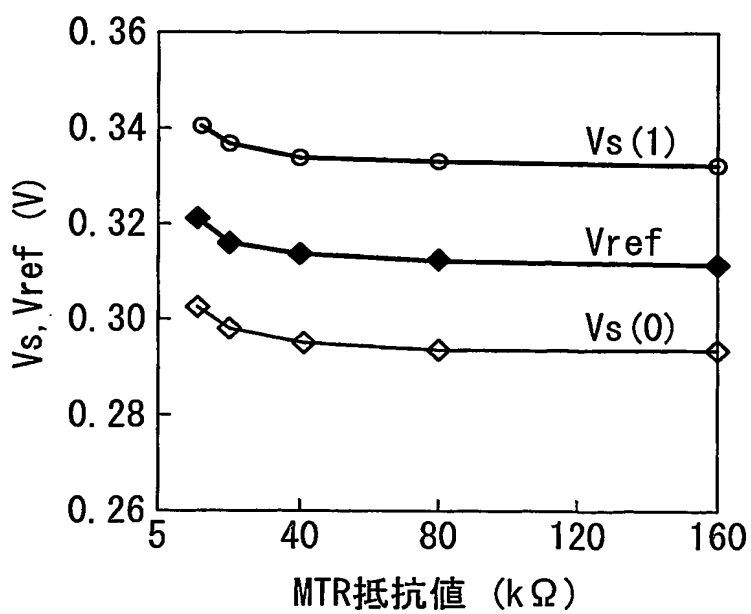


Fig. 9

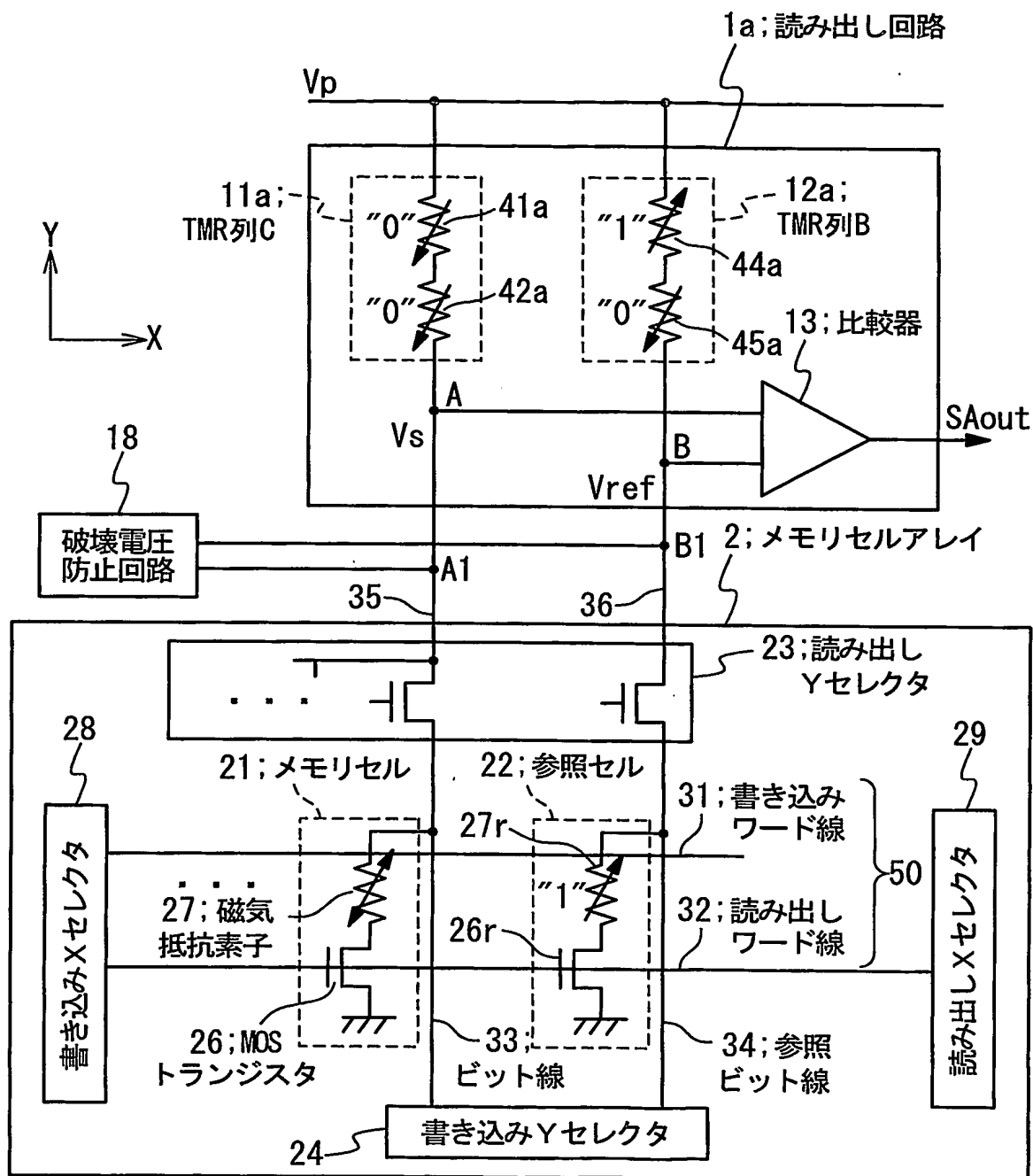


Fig. 10

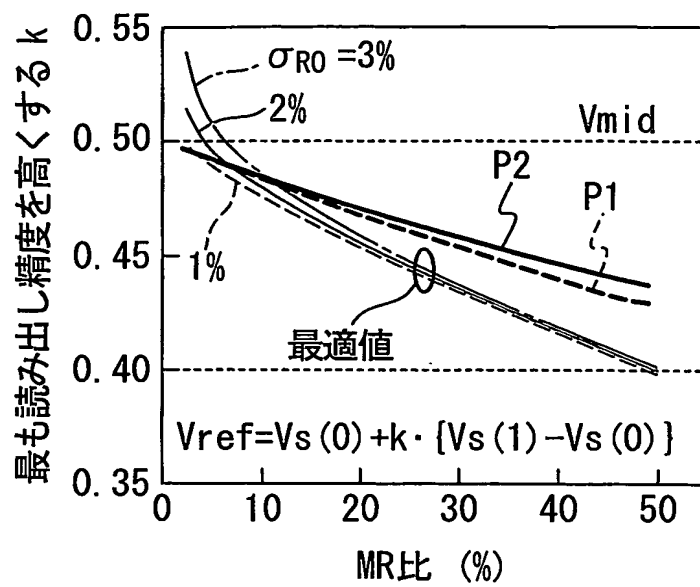


Fig. 11

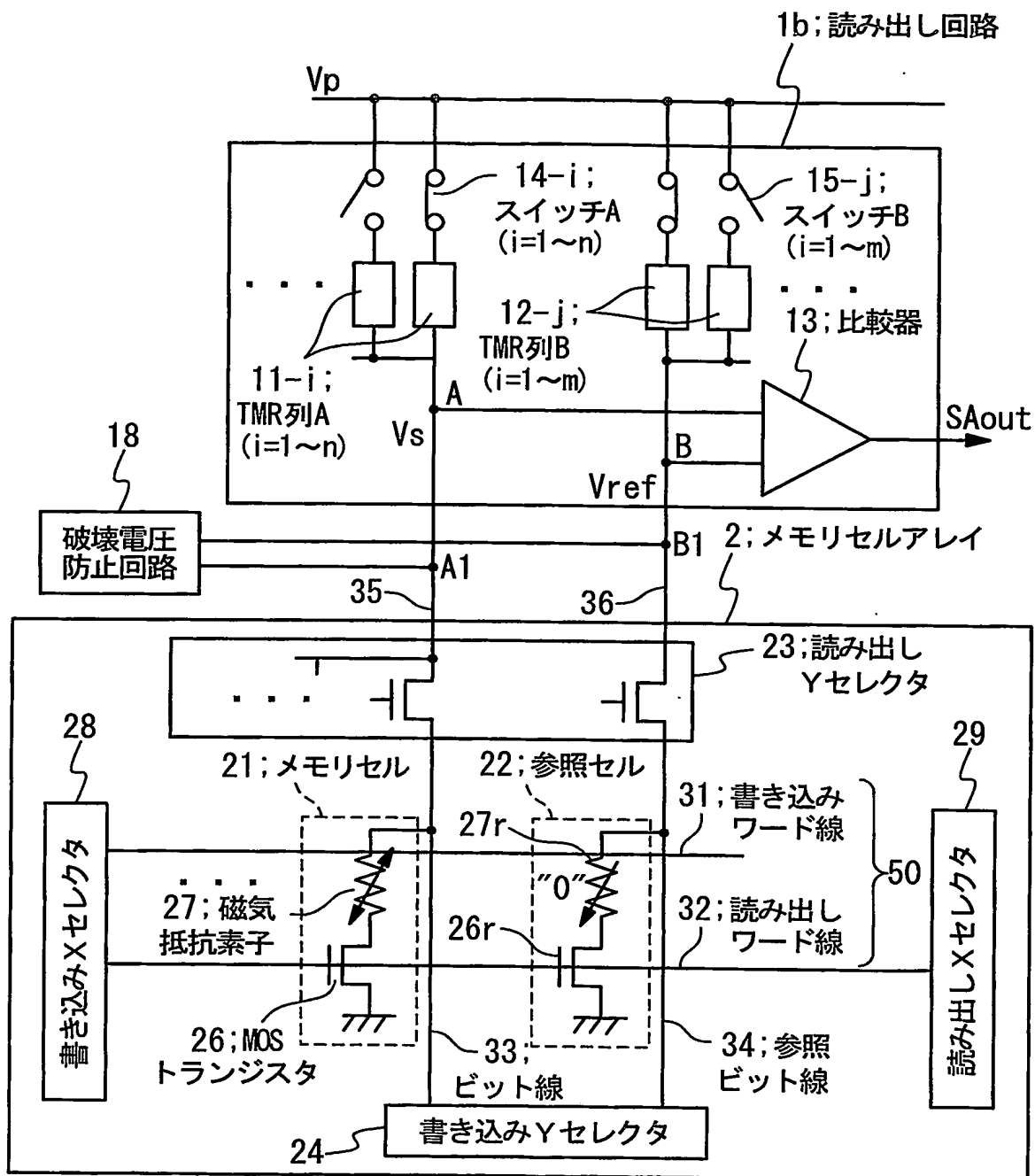


Fig. 12

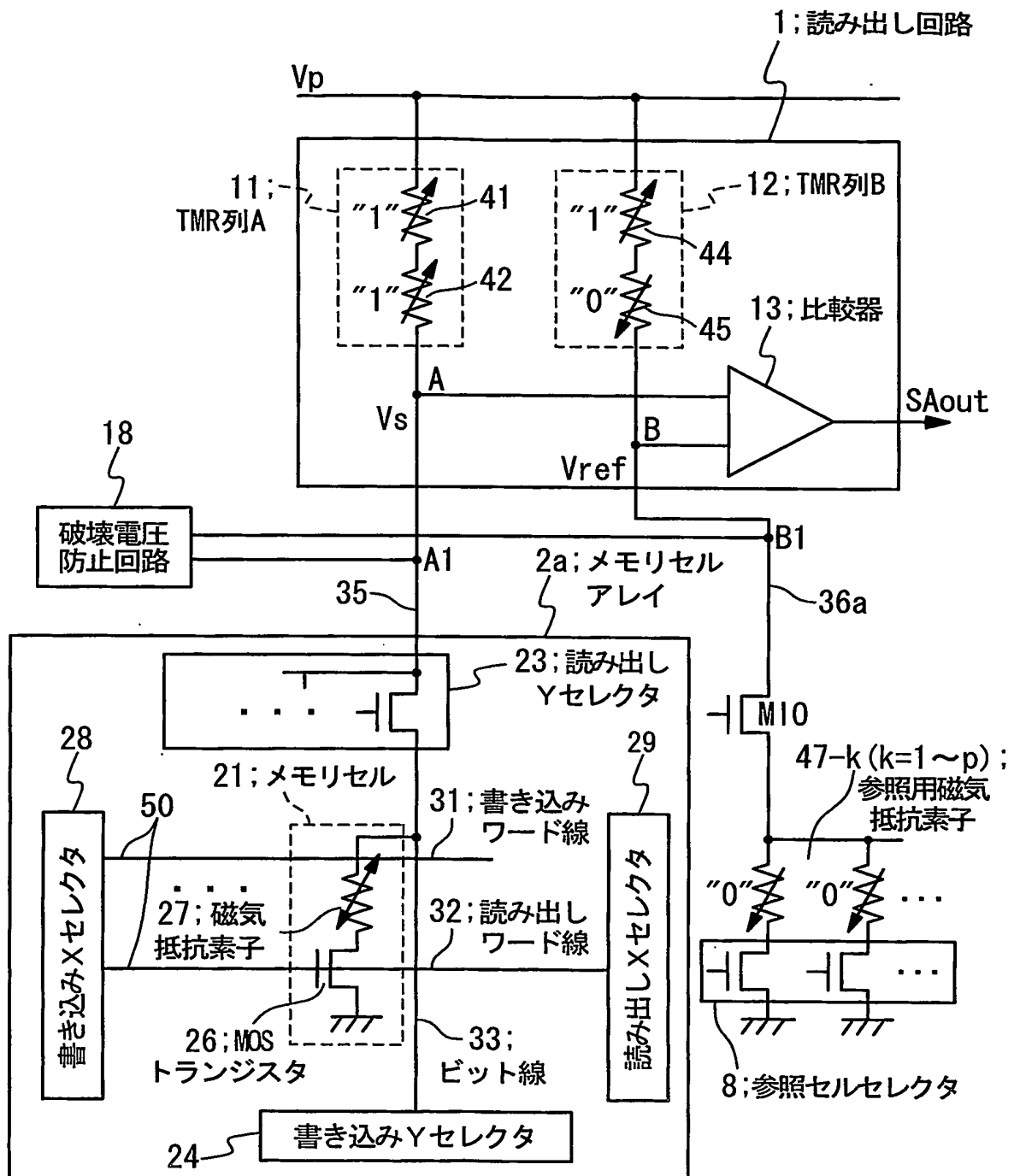


Fig. 13

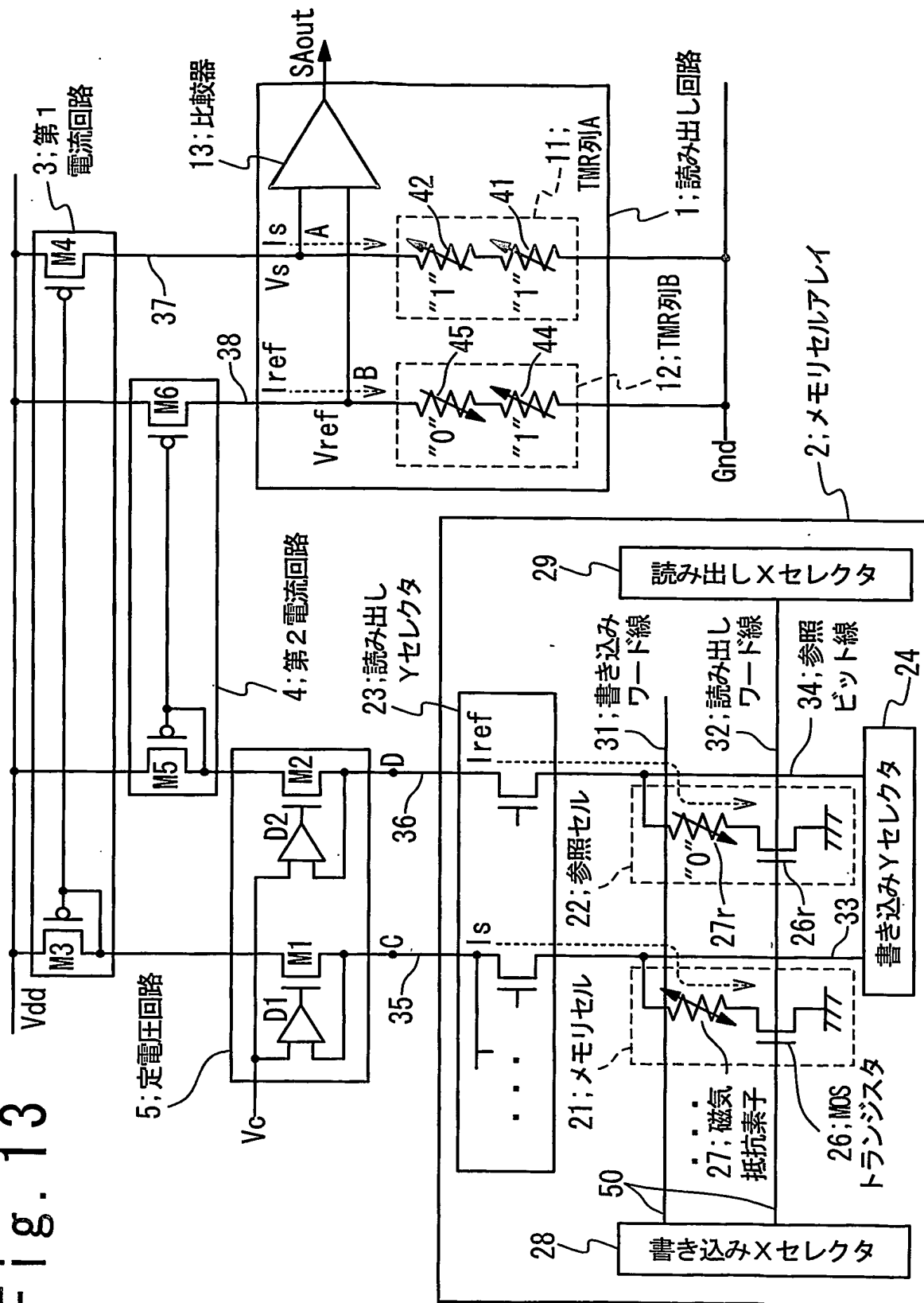


Fig. 14

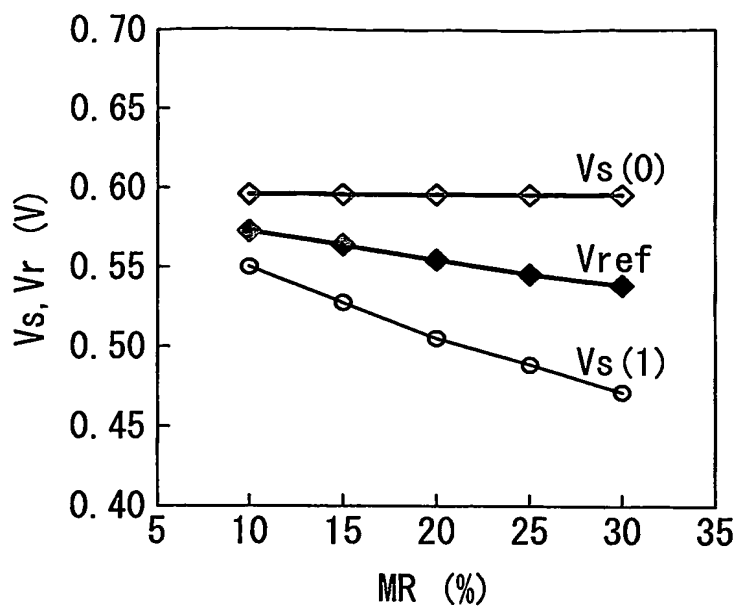


Fig. 15

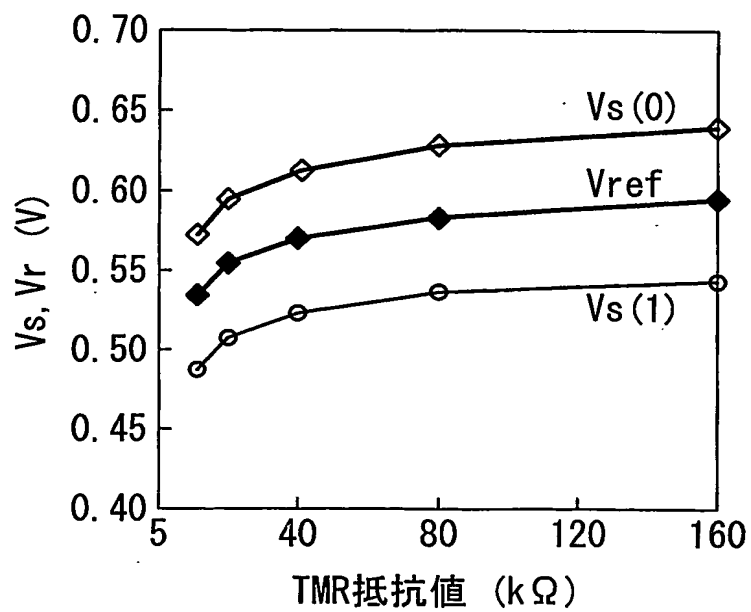


Fig. 16

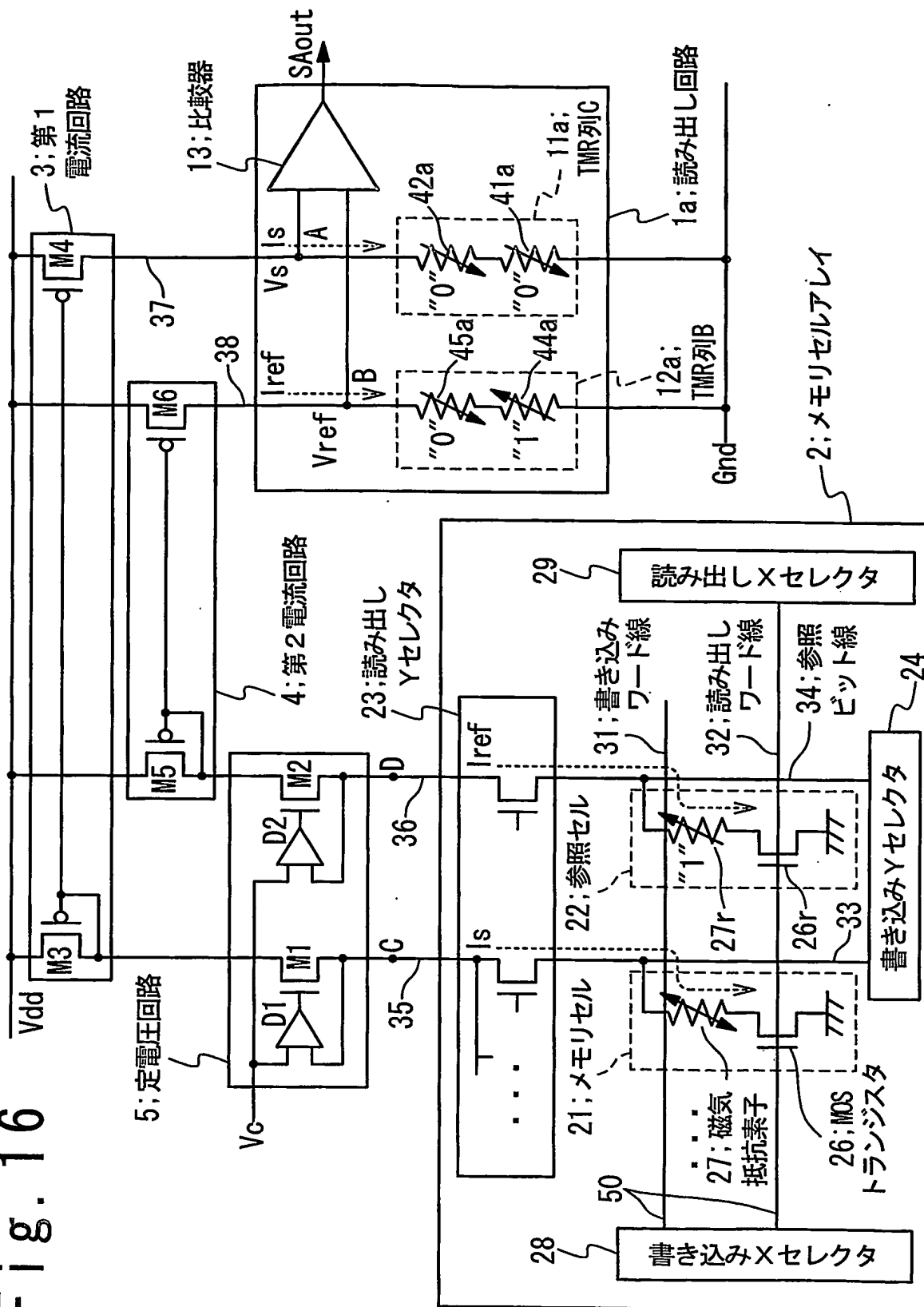


Fig. 17

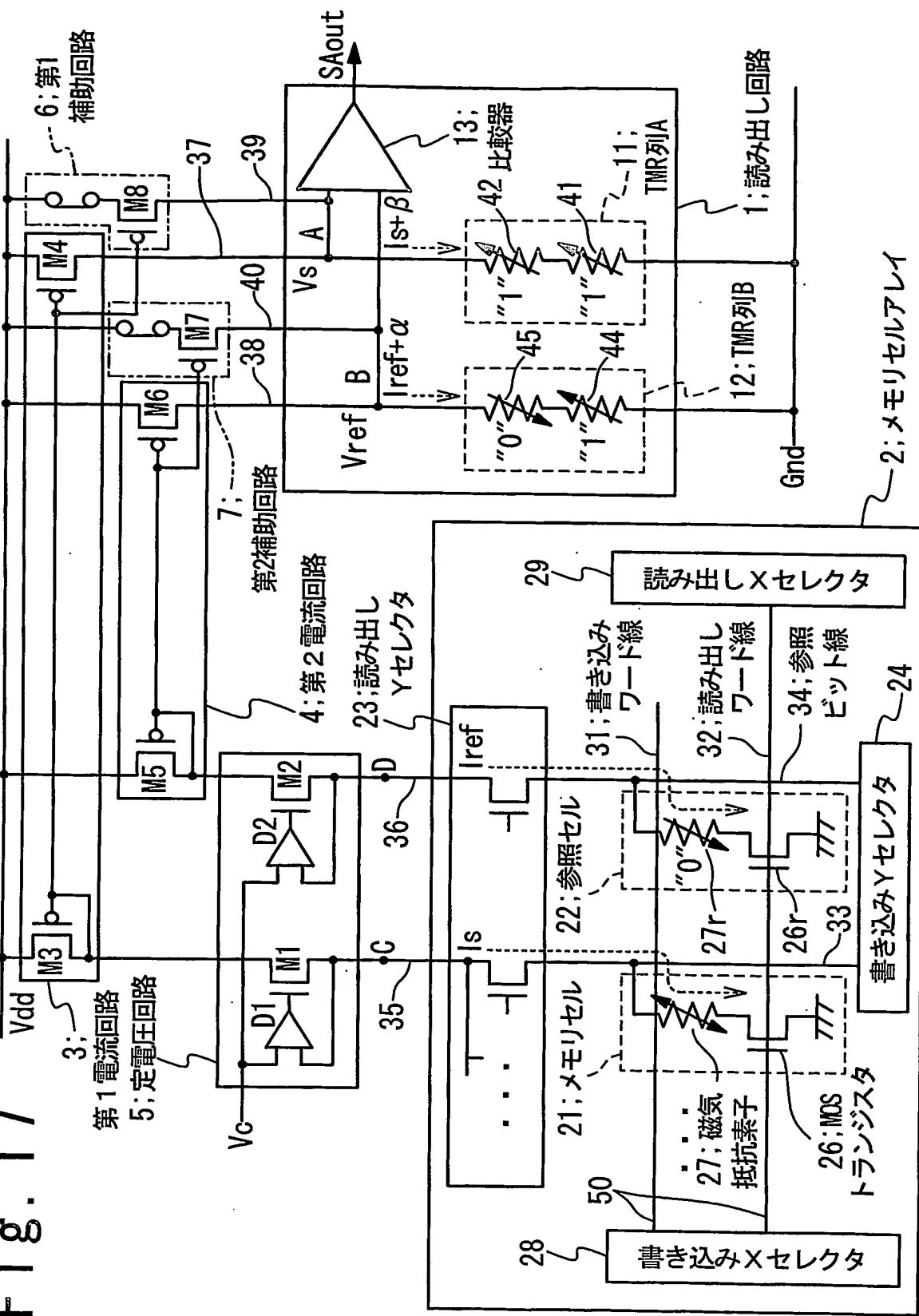


Fig. 18

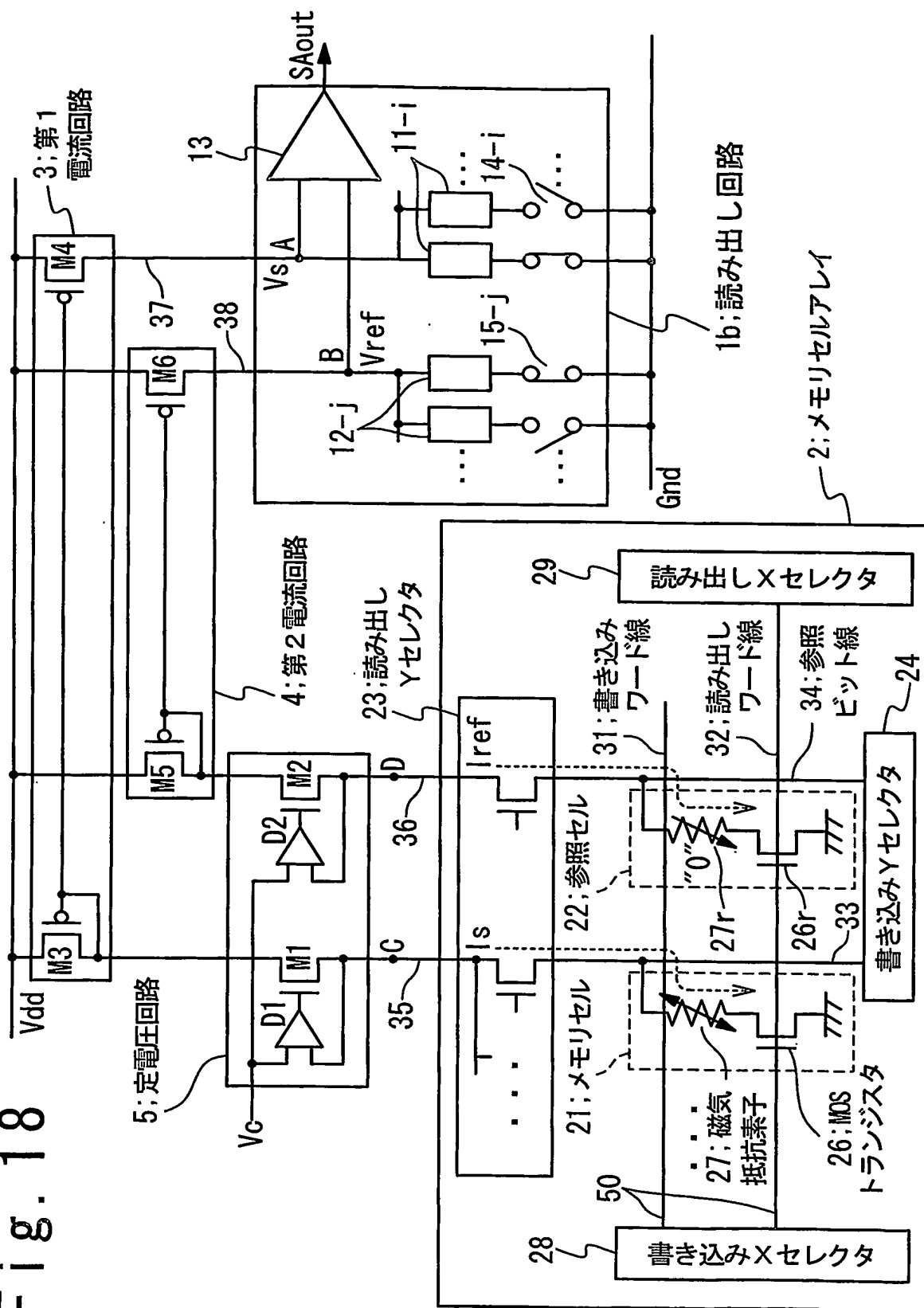


Fig. 19

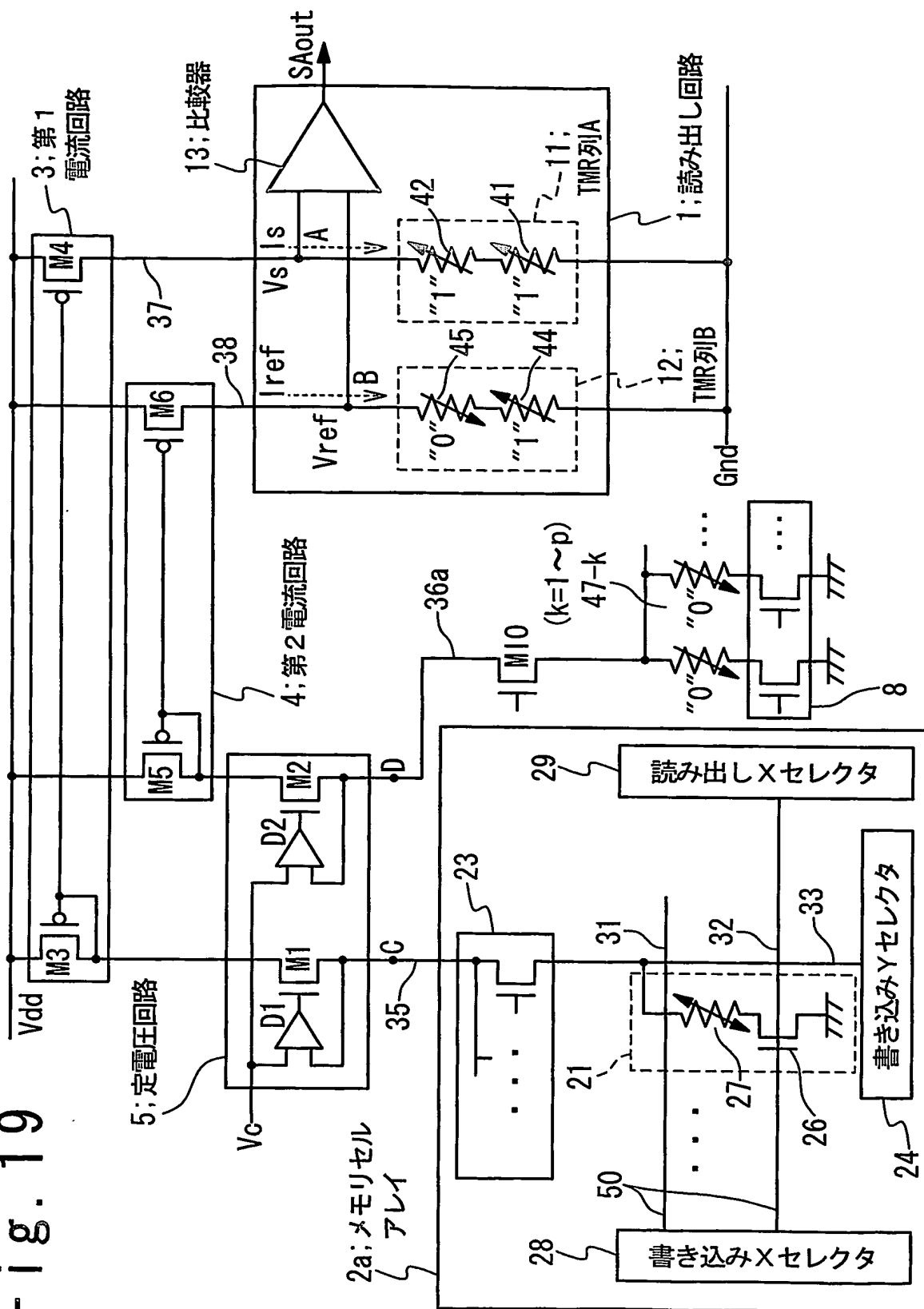
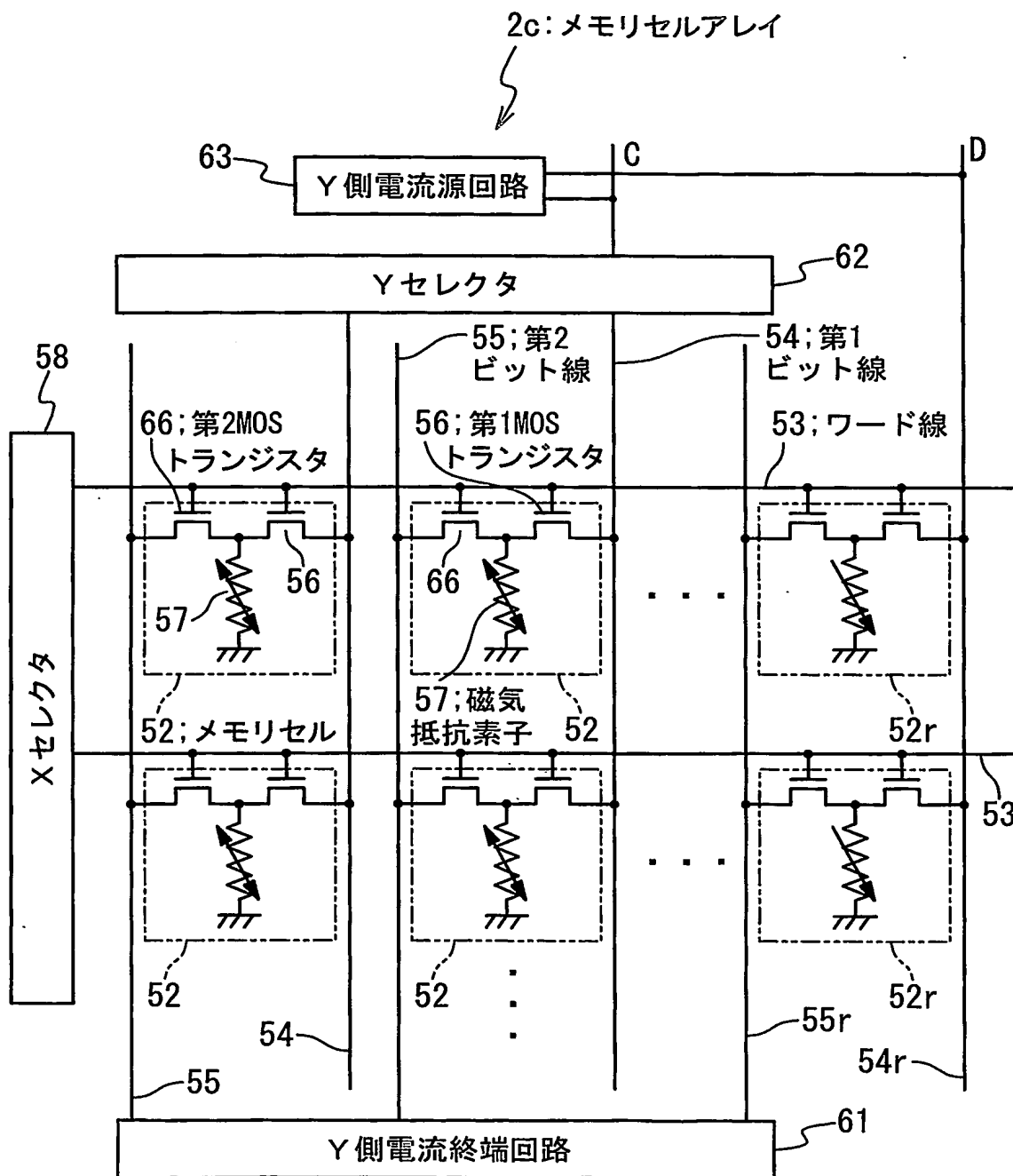


Fig. 21



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005242

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G11C11/15, H01L27/10, H01L43/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C11/15, H01L27/10, H01L43/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2000/038192 A1 (MOTOROLA INC.), 29 June, 2000 (29.06.00), Full text; Figs. 1, 4 & US 6055178 A & EP 1057188 A1 & JP 2002-533863 A	1, 2, 12, 15 5 3, 4, 6-11, 13, 14, 16-21
Y	JP 2001-325791 A (NEC Corp.), 22 November, 2001 (22.11.01), Par. Nos. [0022], [0030]; Figs. 1, 6 & US 2001/0048608 A1	5
A	JP 2003-60165 A (Toshiba Corp.), 28 February, 2003 (28.02.03), Full text; all drawings & US 2003/0031045 A1 & CN 1402252 A	1-21

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 July, 2004 (13.07.04)

Date of mailing of the international search report
27 July, 2004 (27.07.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/J P 2004/005242

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G11C11/15
 Int. Cl⁷ H01L27/10
 Int. Cl⁷ H01L43/08

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G11C11/15
 Int. Cl⁷ H01L27/10
 Int. Cl⁷ H01L43/08

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2004年
 日本国実用新案登録公報 1996-2004年
 日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	WO 2000/038192 A1 (MOTOROLA INCORPORATED), 2000.06.29, 全文, 第1図, 第4図 & US 6055178 A & EP 1057188 A1 & JP 2002-533863 A	1, 2, 12, 15 5 3, 4, 6-11, 13, 14, 16-21
Y	JP 2001-325791 A (日本電気株式会社), 2001.11.22, 第0022段落, 第0030段落, 第1図, 第6図 & US 2001/0048608 A1	5
A	JP 2003-60165 A (株式会社東芝), 2003.02.28, 全文, 全図 & US 2003/0031045 A1 & CN 1402252 A	1-21

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に関する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

13.07.2004

国際調査報告の発送日

27.7.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

飯田 清司

5 N

8731

電話番号 03-3581-1101 内線 6842